

日本国特許庁
JAPAN PATENT OFFICE

O'SI405

J1040 U.S. PRO
10/073339



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 2月14日

出願番号

Application Number:

特願2001-037140

出願人

Applicant(s):

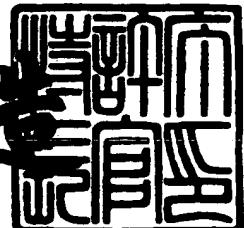
株式会社東芝

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年11月 2日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



【書類名】 特許願
【整理番号】 A000007471
【提出日】 平成13年 2月14日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/78
【発明の名称】 磁気ランダムアクセスメモリ
【請求項の数】 39
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
【氏名】 堀口 文男
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100068814
【弁理士】
【氏名又は名称】 坪井 淳
【選任した代理人】
【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気ランダムアクセスメモリ

【特許請求の範囲】

【請求項1】 データを記憶するTMR素子と、前記TMR素子に磁界を与えるための第1及び第2電流駆動線とを具備し、前記TMR素子は、積み重ねられた複数のTMR層から構成され、各TMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含んでいることを特徴とする磁気ランダムアクセスメモリ。

【請求項2】 請求項1記載の磁気ランダムアクセスメモリにおいて、ソース線と、前記TMR素子と前記ソース線の間に接続されるスイッチ素子とを具備し、前記スイッチ素子は、前記TMR素子のデータを読み出す際にオン状態になることを特徴とする磁気ランダムアクセスメモリ。

【請求項3】 各TMR層は、前記2つの磁性層のうちの1つのスピニの向きを固定するための反磁性層を有することを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項4】 前記複数のTMR層の間には、非磁性導電層が配置されることを特徴とする請求項3記載の磁気ランダムアクセスメモリ。

【請求項5】 請求項1記載の磁気ランダムアクセスメモリにおいて、前記複数のTMR層の間に配置され、各TMR層の前記2つの磁性層のうちの1つのスピニの向きを固定するための反磁性層を具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項6】 前記第1電流駆動線は、ビット線であり、前記TMR素子は、前記ビット線に接触していることを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項7】 前記第2電流駆動線は、前記TMR素子の近傍に配置され、前記ビット線に直交していることを特徴とする請求項6記載の磁気ランダムアクセスメモリ。

【請求項8】 前記TMR素子は、前記ビット線の下面に接触し、前記第2電流駆動線は、前記TMR素子の直下に配置されることを特徴とする請求項7記

載の磁気ランダムアクセスメモリ。

【請求項9】 前記TMR素子は、前記ビット線の上面に接触し、前記第2電流駆動線は、前記TMR素子の直上に配置されることを特徴とする請求項7記載の磁気ランダムアクセスメモリ。

【請求項10】 前記第2電流駆動線及び前記ソース線は、異なる配線層に配置され、かつ、互いにオーバーラップして同一方向に延びていることを特徴とする請求項2記載の磁気ランダムアクセスメモリ。

【請求項11】 各TMR層は、前記2つの磁性層のスピニの向きが同じであるか又は逆であるかによって、1ビットデータを記憶することを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項12】 前記第1及び第2電流駆動線に流れる電流の向き及び量を制御し、各TMR層に与えられる磁界の強さを異ならしめることにより、各TMR層に個別にデータを書き込むことを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項13】 前記複数のTMR層は、互いに一定距離だけ離れていることを特徴とする請求項12記載の磁気ランダムアクセスメモリ。

【請求項14】 前記複数のTMR層のアステロイド曲線を互いに異ならしめることにより、各TMR層に個別にデータを書き込むことを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項15】 前記複数のTMR層に対するデータ書き込みは、スピニの向きを変えるための磁界が最も大きいTMR素子から最も小さいTMR素子に向かって、順次、実行されることを特徴とする請求項14記載の磁気ランダムアクセスメモリ。

【請求項16】 書き込み動作時に、前記第1電流駆動線には、一方向のみに向かって電流が流れ、前記第2電流駆動線には、一方向又は他方向に向かって電流が流れることを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項17】 前記複数のTMR層内の前記絶縁層の厚さを互いに異ならしめ、前記複数のTMR層に同一データが記憶されている場合における前記複数のTMR層の抵抗値を互いに異ならしめたことを特徴とする請求項1記載の磁気

ランダムアクセスメモリ。

【請求項18】 前記TMR素子に対するデータ読み出しは、前記TMR素子に検出抵抗を電気的に接続し、前記検出抵抗の両端にかかる電圧を検出することにより行うことを特徴とする請求項1記載の磁気ランダムアクセスメモリ。

【請求項19】 前記検出抵抗は、メモリセルアレイの外部に設けられていることを特徴とする請求項18記載の磁気ランダムアクセスメモリ。

【請求項20】 読み出し動作時に、前記TMR素子に読み出し電源が電気的に接続され、前記検出抵抗は、前記第1電流駆動線の一端に電気的に接続されることを特徴とする請求項18記載の磁気ランダムアクセスメモリ。

【請求項21】 磁界を生成するための第1、第2及び第3電流駆動線と、前記第1電流駆動線の下面に接触して配置される第1TMR素子と、前記第1TMR素子に接続される第1スイッチ素子と、前記第1電流駆動線の上面に接触して配置される第2TMR素子と、前記第2TMR素子に接続される第2スイッチ素子とを具備し、前記第1及び第2TMR素子は、少なくとも1つのTMR層から構成され、前記少なくとも1つのTMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含んでいることを特徴とする磁気ランダムアクセスメモリ。

【請求項22】 前記第1電流駆動線は、ピット線であり、前記第2電流駆動線は、前記第1TMR素子の直下に配置され、前記第3電流駆動線は、前記第2TMR素子の直上に配置され、前記第2及び第3電流駆動線は、共に、前記ピット線に直交していることを特徴とする請求項21記載の磁気ランダムアクセスメモリ。

【請求項23】 前記第1TMR素子に対するデータ書き込みは、前記第1及び第2電流駆動線に流れる電流により発生する磁界により行われ、前記第2TMR素子に対するデータ書き込みは、前記第1及び第3電流駆動線に流れる電流により発生する磁界により行われることを特徴とする請求項22記載の磁気ランダムアクセスメモリ。

【請求項24】 前記第1及び第2スイッチ素子は、互いに電気的に接続され、その接続点は、ソース線に共通に接続されることを特徴とする請求項21記

載の磁気ランダムアクセスメモリ。

【請求項25】 前記第2及び第3電流駆動線並びに前記ソース線は、異なる配線層に配置され、かつ、互いにオーバーラップして同一方向に延びていることを特徴とする請求項21記載の磁気ランダムアクセスメモリ。

【請求項26】 第1電流駆動線と、前記第1電流駆動線に接触する第1及び第2TMR素子と、前記第1及び第2TMR素子に共通に接続されるスイッチ素子とを具備し、前記第1及び第2TMR素子は、少なくとも1つのTMR層から構成され、前記少なくとも1つのTMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含んでいることを特徴とする磁気ランダムアクセスメモリ。

【請求項27】 前記第1TMR素子は、前記第1電流駆動線の下面に接触し、前記第2TMR素子は、前記第1電流駆動線の上面に接触することを特徴とする請求項26記載の磁気ランダムアクセスメモリ。

【請求項28】 前記第1電流駆動線は、第1ビット線と、前記第1ビット線上の第2ビット線とから構成され、前記第1TMR素子は、前記第1ビット線に接触し、前記第2TMR素子は、前記第2ビット線に接触することを特徴とする請求項26記載の磁気ランダムアクセスメモリ。

【請求項29】 前記第1TMR素子は、前記第1ビット線の下面又は上面に接触し、前記第2TMR素子は、前記第2ビット線の下面又は上面に接触することを特徴とする請求項28記載の磁気ランダムアクセスメモリ。

【請求項30】 前記第1及び第2ビット線は、互いに電気的に接続されることを特徴とする請求項28記載の磁気ランダムアクセスメモリ。

【請求項31】 請求項28記載の磁気ランダムアクセスメモリにおいて、前記第1TMR素子の近傍に配置される第2電流駆動線と、前記第2TMR素子の近傍に配置される第3電流駆動線とを具備することを特徴とする磁気ランダムアクセスメモリ。

【請求項32】 前記第1TMR素子は、前記第2電流駆動線と前記第1ビット線の間に配置され、前記第2TMR素子は、前記第3電流駆動線と前記第2ビット線の間に配置され、前記第2及び第3電流駆動線は、前記第1及び第2ビ

ット線に直交していることを特徴とする請求項3 1記載の磁気ランダムアクセスメモリ。

【請求項3 3】 前記第1 TMR素子に対するデータ書き込みは、前記第1ビット線と前記第2電流駆動線に流れる電流により発生する磁界により行われ、前記第2 TMR素子に対するデータ書き込みは、前記第2ビット線と前記第3電流駆動線に流れる電流により発生する磁界により行われることを特徴とする請求項3 2記載の磁気ランダムアクセスメモリ。

【請求項3 4】 前記第2及び第3電流駆動線のうちの1つは、前記第1ビット線と前記第2ビット線の間に配置されることを特徴とする請求項3 2記載の磁気ランダムアクセスメモリ。

【請求項3 5】 前記第1及び第2 TMR素子に対するデータ読み出しは、前記第1電流駆動線に検出抵抗を電気的に接続し、前記検出抵抗の両端にかかる検出電圧を検出することにより行うことを行なうことを特徴とする請求項2 6記載の磁気ランダムアクセスメモリ。

【請求項3 6】 前記第1又は第2 TMR素子に対して書き込みデータを上書きし、前記書き込みデータの上書き前後において前記検出電圧に変化があった場合には、前記第1又は第2 TMR素子のデータは、前記書き込みデータとは異なる値を有していると判断し、前記書き込みデータの上書き前後において前記検出電圧に変化がなかった場合には、前記第1又は第2 TMR素子のデータは、前記書き込みデータと同じ値を有していると判断することを特徴とする請求項3 5記載の磁気ランダムアクセスメモリ。

【請求項3 7】 前記書き込みデータの上書きを行った後に、再び、前記第1又は第2 TMR素子に対して、前記第1又は第2 TMR素子のデータを書き込むことを特徴とする請求項3 6記載の磁気ランダムアクセスメモリ。

【請求項3 8】 請求項1記載の磁気ランダムアクセスメモリにおいて、複数ビットの書き込みデータを一時的に記憶しておくレジスタを具備し、前記書き込みデータは、ビットごとに、順次、前記TMR素子に書き込まれることを特徴とする磁気ランダムアクセスメモリ。

【請求項3 9】 請求項2 1又は2 6記載の磁気ランダムアクセスメモリに

において、複数ビットの書き込みデータを一時的に記憶しておくレジスタを具備し、前記書き込みデータは、ビットごとに、順次、前記第1又は第2TMR素子に書き込まれることを特徴とする磁気ランダムアクセスメモリ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、トンネル型磁気抵抗(Tunneling Magneto Resistive)効果により“1”，“0”一情報を記憶するTMR素子を利用してメモリセルを構成した磁気ランダムアクセスメモリ(MRAM: Magnetic Random Access Memory)に関する。

【0002】

【従来の技術】

近年、新たな原理により情報を記憶するメモリが数多く提案されているが、そのうちの一つに、Roy Scheuerlein et.al.によって提案されたトンネル型磁気抵抗(Tunneling Magneto Resistive: 以後、TMRと表記する。)効果を利用したメモリがある(例えば、ISSCC2000 Technical Digest p.128「A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell」を参照)。

【0003】

磁気ランダムアクセスメモリは、TMR素子により“1”，“0”一情報を記憶する。TMR素子は、図34に示すように、2つの磁性層(強磁性層)により絶縁層(トンネルバリア)を挟んだ構造を有する。TMR素子に記憶される情報は、2つの磁性層のスピノの向きが平行か又は反平行かによって判断される。

【0004】

ここで、図35に示すように、平行とは、2つの磁性層のスピノの向きが同じであることを意味し、反平行とは、2つの磁性層のスピノの向きが逆向きであることを意味する(矢印の向きがスピノの向きを示している。)。

【0005】

なお、通常、2つの磁性層の一方側には、反強磁性層が配置される。反強磁性層は、一方側の磁性層のスピノの向きを固定し、他方側のスピノの向きのみを変

えることにより情報を容易に書き換えるための部材である。

【0006】

図35に示すように、2つの磁性層のスピンの向きが平行となった場合、これら2つの磁性層に挟まれた絶縁層（トンネルバリア）のトンネル抵抗は、最も低くなる。この状態が“1”－状態である。また、2つの磁性層のスピンの向きが反平行となった場合、これら2つの磁性層に挟まれた絶縁層（トンネルバリア）のトンネル抵抗は、最も高くなる。この状態が“0”－状態である。

【0007】

次に、図36を参照しつつ、TMR素子に対する書き込み動作原理について簡単に説明する。

【0008】

TMR素子は、互いに交差する書き込みワード線とデータ選択線（ビット線）の交点に配置される。そして、書き込みは、書き込みワード線及びデータ選択線に電流を流し、両配線に流れる電流により作られる磁界を用いて、TMR素子のスピンの向きを平行又は反平行にすることにより達成される。

【0009】

例えば、書き込み時、データ選択線には、一方向に向かう電流のみを流し、書き込みワード線には、書き込みデータに応じて、一方向又は他方向に向かう電流を流す。書き込みワード線に一方向に向かう電流を流すとき、TMR素子のスピンの向きは、平行（“1”－状態）となる。一方、書き込みワード線に他方向に向かう電流を流すとき、TMR素子のスピンの向きは、反平行（“0”－状態）となる。

【0010】

TMR素子のスピンの向きが変わるしくみは、次の通りである。

図37のTMR曲線に示すように、TMR素子の長辺（Easy-Axis）方向に磁界Hxをかけると、TMR素子の抵抗値は、例えば、17%程度変化する。この変化率、即ち、変化の前後の抵抗値の比は、MR比と呼ばれる。

【0011】

なお、MR比は、磁性層の性質により変化する。現在では、MR比が50%程

度のTMR素子も得られている。

【0012】

TMR素子には、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界がかかる。図37の実線及び点線に示すように、Hard-Axis方向の磁界 H_y の大きさによって、TMR素子の抵抗値を変えるために必要なEasy-Axis方向の磁界 H_x の大きさも変化する。この現象を利用することにより、アレイ状に配置されるメモリセルのうち、選択された書き込みワード線及び選択されたデータ選択線の交点に存在するTMR素子のみにデータを書き込むことができる。

【0013】

この様子をさらに図38のアステロイド曲線を用いて説明する。

TMR素子TMR1のアステロイド曲線は、例えば、図38の実線で示すようになる。即ち、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界の大きさがアステロイド曲線（実線）の外側（例えば、黒丸の位置）にあれば、磁性層のスピンの向きを反転させることができる。

【0014】

逆に、Easy-Axis方向の磁界 H_x とHard-Axis方向の磁界 H_y との合成磁界の大きさがアステロイド曲線（実線）の内側（例えば、白丸の位置）にある場合には、磁性層のスpinの向きを反転させることはできない。

【0015】

従って、Easy-Axis方向の磁界 H_x の大きさとHard-Axis方向の磁界 H_y の大きさを変え、合成磁界の大きさの $H_x - H_y$ 平面内における位置を変えることにより、TMR素子に対するデータの書き込みを制御できる。

【0016】

なお、読み出しは、選択されたTMR素子に電流を流し、そのTMR素子の抵抗値を検出することにより容易に行うことができる。

【0017】

例えば、TMR素子に直列にスイッチ素子を接続し、選択されたリードワード線に接続されるスイッチ素子のみをオン状態として電流経路を作る。その結果、選択されたTMR素子のみに電流が流れため、そのTMR素子のデータを読み

出すことができる。

【0018】

【発明が解決しようとする課題】

近年、メモリの大容量化は、必要不可欠な技術となっている。メモリの大容量化を実現するために、従来のメモリでは、素子の微細化によりメモリセル面積を縮小したり、メモリセルを三次元的に配置したり、さらには、メモリセルに3値以上（又は複数ビット）のデータを記憶させている。

【0019】

しかし、素子の微細化には、限界がある。また、磁気ランダムアクセスメモリにおいては、従来、メモリセルは、1つのTMR素子のみを含んでいる。そして、このTMR素子は、図34に示すように、1つの絶縁層（トンネルバリア）とこれを挟み込む2つの磁性層（強磁性層）により構成されている。

【0020】

つまり、TMR素子は、2つの状態、即ち、2つの磁性層のスピニの向きが平行か又は反平行かしかどることができないため、メモリセルとしては、1ビットデータを記憶することしかできない。

【0021】

本発明は、このような問題を解決するためになされたもので、その目的は、磁気ランダムアクセスメモリにおいて、1つのメモリセルに3値以上（又は複数ビット）のデータを記憶できるような新規なデバイス構造を実現すると共に、その製造方法、書き込み動作原理、さらには、読み出し動作原理についても提案することにある。

【0022】

【課題を解決するための手段】

(1) 本発明の磁気ランダムアクセスメモリは、データを記憶するTMR素子と、前記TMR素子に磁界を与えるための第1及び第2電流駆動線とを備え、前記TMR素子は、積み重ねられた複数のTMR層から構成され、各TMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含んでいる。

【0023】

本発明の磁気ランダムアクセスメモリは、さらに、ソース線と、前記TMR素子と前記ソース線の間に接続されるスイッチ素子とを備え、前記スイッチ素子は、前記TMR素子のデータを読み出す際にオン状態になる。

【0024】

各TMR層は、前記2つの磁性層のうちの1つのスピニの向きを固定するための反磁性層を有している。前記複数のTMR層の間には、非磁性導電層が配置される。

【0025】

本発明の磁気ランダムアクセスメモリは、さらに、前記複数のTMR層の間に配置され、各TMR層の前記2つの磁性層のうちの1つのスピニの向きを固定するための反磁性層を有する。

【0026】

前記第1電流駆動線は、ビット線であり、前記TMR素子は、前記ビット線に接触している。

【0027】

前記第2電流駆動線は、前記TMR素子の近傍に配置され、前記ビット線に直交している。

【0028】

前記TMR素子は、前記ビット線の下面に接触し、前記第2電流駆動線は、前記TMR素子の直下に配置される。

【0029】

前記TMR素子は、前記ビット線の上面に接触し、前記第2電流駆動線は、前記TMR素子の直上に配置される。

【0030】

前記第2電流駆動線及び前記ソース線は、異なる配線層に配置され、かつ、互いにオーバーラップして同一方向に延びている。

【0031】

各TMR層は、前記2つの磁性層のスピニの向きが同じであるか又は逆であるかによって、1ビットデータを記憶する。

【0032】

前記第1及び第2電流駆動線に流れる電流の向き及び量を制御し、各TMR層に与えられる磁界の強さを異ならしめることにより、各TMR層に個別にデータを書き込む。

【0033】

前記複数のTMR層は、互いに一定距離だけ離れている。

【0034】

前記複数のTMR層のアステロイド曲線を互いに異ならしめることにより、各TMR層に個別にデータを書き込む。ここで、前記複数のTMR層に対するデータ書き込みは、スピンの向きを変えるための磁界が最も大きいTMR層から最も小さいTMR層に向かって、順次、行われる。

【0035】

書き込み動作時、前記第1電流駆動線には、一方向のみに向かって電流が流れ、前記第2電流駆動線には、一方向又は他方向に向かって電流が流れる。

【0036】

前記複数のTMR層内の前記絶縁層の厚さを互いに異ならしめ、前記複数のTMR層に同一データが記憶されている場合における前記複数のTMR層の抵抗値を互いに異ならしめる。

【0037】

前記TMR素子に対するデータ読み出しは、前記TMR素子に検出抵抗を電気的に接続し、前記検出抵抗の両端にかかる電圧を検出することにより行う。前記検出抵抗は、メモリセルアレイの外部に設けられている。

【0038】

読み出し動作時に、前記TMR素子に読み出し電源が電気的に接続され、前記検出抵抗は、前記第1電流駆動線の一端に電気的に接続される。

【0039】

(2) 本発明の磁気ランダムアクセスメモリは、磁界を生成するための第1、第2及び第3電流駆動線と、前記第1電流駆動線の下面に接触して配置される第1TMR素子と、前記第1TMR素子に接続される第1スイッチ素子と、前記第1

電流駆動線の上面に接触して配置される第2TMR素子と、前記第2TMR素子に接続される第2スイッチ素子とを備え、前記第1及び第2TMR素子は、少なくとも1つのTMR層から構成され、前記少なくとも1つのTMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含んでいる。

【0040】

前記第1電流駆動線は、ビット線であり、前記第2電流駆動線は、前記第1TMR素子の直下に配置され、前記第3電流駆動線は、前記第2TMR素子の直上に配置され、前記第2及び第3電流駆動線は、共に、前記ビット線に直交している。

【0041】

前記第1TMR素子に対するデータ書き込みは、前記第1及び第2電流駆動線に流れる電流により発生する磁界により行われ、前記第2TMR素子に対するデータ書き込みは、前記第1及び第3電流駆動線に流れる電流により発生する磁界により行われる。

【0042】

前記第1及び第2スイッチ素子は、互いに電気的に接続され、その接続点は、ソース線に共通に接続される。

【0043】

前記第2及び第3電流駆動線並びに前記ソース線は、異なる配線層に配置され、かつ、互いにオーバーラップして同一方向に延びている。

【0044】

(3) 本発明の磁気ランダムアクセスメモリは、第1電流駆動線と、前記第1電流駆動線に接触する第1及び第2TMR素子と、前記第1及び第2TMR素子に共通に接続されるスイッチ素子とを備え、前記第1及び第2TMR素子は、少なくとも1つのTMR層から構成され、前記少なくとも1つのTMR層は、2つの磁性層と、前記2つの磁性層の間に挟まれた絶縁層とを含んでいる。

【0045】

前記第1TMR素子は、前記第1電流駆動線の下面に接触し、前記第2TMR素子は、前記第1電流駆動線の上面に接触する。

【0046】

前記第1電流駆動線は、第1ビット線と、前記第1ビット線上の第2ビット線とから構成され、前記第1TMR素子は、前記第1ビット線に接触し、前記第2TMR素子は、前記第2ビット線に接触する。

【0047】

前記第1TMR素子は、前記第1ビット線の下面又は上面に接触し、前記第2TMR素子は、前記第2ビット線の下面又は上面に接触する。

【0048】

前記第1及び第2ビット線は、互いに電気的に接続されていてもよいし、別々に駆動されていてもよい。

【0049】

本発明の磁気ランダムアクセスメモリは、さらに、前記第1TMR素子の近傍に配置される第2電流駆動線と、前記第2TMR素子の近傍に配置される第3電流駆動線とを備える。

【0050】

前記第1TMR素子は、前記第2電流駆動線と前記第1ビット線の間に配置され、前記第2TMR素子は、前記第3電流駆動線と前記第2ビット線の間に配置され、前記第2及び第3電流駆動線は、前記第1及び第2ビット線に直交している。

【0051】

前記第1TMR素子に対するデータ書き込みは、前記第1ビット線と前記第2電流駆動線に流れる電流により発生する磁界により行われ、前記第2TMR素子に対するデータ書き込みは、前記第2ビット線と前記第3電流駆動線に流れる電流により発生する磁界により行われる。

【0052】

前記第2及び第3電流駆動線のうちの1つは、前記第1ビット線と前記第2ビット線の間に配置される。

【0053】

前記第1及び第2TMR素子に対するデータ読み出しは、前記第1電流駆動線

に検出抵抗を電気的に接続し、前記検出抵抗の両端にかかる検出電圧を検出することにより行う。

【0054】

前記第1又は第2TMR素子に対して書き込みデータを上書きし、前記書き込みデータの上書き前後において前記検出電圧に変化があった場合には、前記第1又は第2TMR素子のデータは、前記書き込みデータとは異なる値を有していると判断し、前記書き込みデータの上書き前後において前記検出電圧に変化がなかった場合には、前記第1又は第2TMR素子のデータは、前記書き込みデータと同じ値を有していると判断する。

【0055】

前記書き込みデータの上書きを行った後に、再び、前記第1又は第2TMR素子に対して、前記第1又は第2TMR素子のデータを書き込む。

【0056】

本発明の磁気ランダムアクセスメモリは、さらに、複数ビットの書き込みデータを一時的に記憶しておくレジスタを備え、前記書き込みデータは、ビットごとに、順次、前記TMR素子に書き込まれる。

【0057】

前記複数ビットの書き込みデータを一時的に記憶しておくレジスタを備え、前記書き込みデータは、ビットごとに、順次、前記第1又は第2TMR素子に書き込まれる。

【0058】

【発明の実施の形態】

以下、図面を参照しながら、本発明の磁気ランダムアクセスメモリについて詳細に説明する。

【0059】

本発明の磁気ランダムアクセスメモリの特徴は、1つのメモリセルに3値以上（又は複数ビット）のデータを記憶できるデバイス構造にある。ここで、メモリセルは、TMR素子又はこれとスイッチ素子の組み合せにより構成されるものとする。そこで、まず、TMR素子について説明する。

【0060】

[TMR素子]

データは、TMR素子に、磁化の状態（2つの磁性層のスピンの向きが平行か又は反平行か）として記憶される。従来は、図34に示したように、TMR素子は、基本的には、絶縁層（トンネルバリア）とこれを挟み込む2つの磁性層により構成されていた。

【0061】

従って、TMR素子には、2値（1ビット）データのみを記憶することができ、3値以上（又は複数ビット）のデータを記憶することができなかった。ここで、以下の説明を分かり易くするため、絶縁層（トンネルバリア）とこれを挟み込む2つの磁性層の組み合せを、“TMR層”と称することにする。

【0062】

このように、従来は、TMR素子が1つのTMR層のみから構成されていたため、1つのメモリセル（又はTMR素子）には、2値（1ビット）データしか記憶することができなかった。

【0063】

これに対し、本発明では、TMR素子を複数のTMR層から構成し、これら複数のTMR層の磁化の状態を制御することにより、1つのメモリセル（又はTMR素子）に対して、3値以上（又は複数ビット）のデータを記憶させる。

【0064】

なお、1つのTMR素子を構成する複数のTMR層は、例えば、互いに積み重ねられることにより、当然に、1つにまとめられている。

【0065】

TMR層は、例えば、図1及び図2に示すような構造を有していることが望ましい。図1の構造は、図34に示す構造と同じである。つまり、図1では、下地と保護層の間に、図34のTMR素子（TMR層）が配置されていると考えることができる。図2の構造は、図1の強磁性層を、強磁性層／非磁性層／強磁性層からなる三層構造に変えたものと考えることができる。

【0066】

強磁性層としては、特に制限はないが、例えば、Fe, Co, Ni又はこれらの合金、スピン分極率の大きいマグнетイト、 CrO_2 , RMnO_{3-y} (R: 希土類、X: Ca, Ba, Sr) などの酸化物の他、NiMnSb, PtMnSbなどのホイスラー合金などを用いることができる。

【0067】

また、強磁性層には、Ag, Cu, Au, Al, Mg, Si, Bi, Ta, B, C, O, N, Pd, Pt, Zr, Ir, W, Mo, Nbなどの非磁性元素が多少含まれていても、強磁性を失わないかぎり、全く問題ない。

【0068】

強磁性層の厚さは、あまりに薄いと、超常磁性となってしまう。そこで、強磁性層の厚さは、少なくとも超常磁性とならない程度の厚さが必要である。具体的には、強磁性層の厚さは、0.1 nm以上、好ましくは、0.4 nm以上100 nm以下に設定される。

【0069】

2つの磁性層（強磁性層）のうちの1つは、磁化の状態（スピンの向き）を固定することが望ましい。このように、2つの磁性層のうちの1つを、磁化の状態が固定された磁化固定層として使用する場合には、磁化固定層としての磁性層に反磁性層（反強磁性層）を隣接して配置する。

【0070】

この反磁性層は、磁化固定層が電流磁界の影響を受け難くなるようにし、書き込み時の電流磁界によって磁化固定層のスピンの向きが変化しないようにする（磁化固定層でないもう1つの磁性層の磁化状態のみを変える）役割を果たす。

【0071】

反磁性層としては、例えば、Fe-Mn, Pt-Mn, Pt-Cr-Mn, Ni-Mn, Ir-Mn, NiO, Fe_2O_3 などを用いることができる。

【0072】

図2の例では、強磁性層と非磁性層からなる2つの積層膜により絶縁層（トンネルバリア）を挟み込んだ構造を提案する。強磁性層／非磁性層／強磁性層からなる三層構造（積層膜）は、例えば、Co (Co-Fe) / Ru / Co (Co-Fe) などである。

Fe), Co(Co-Fe)/Ir/Co(Co-Fe)とすることができる。

【0073】

このような構造を用いると、2つの積層膜のうちの1つを磁化固定層とした場合、書き込み時に、磁化固定層の磁化状態が電流磁界の影響をさらに受け難くなり、その磁化状態が固定される。

【0074】

図1及び図2のいずれのTMR層においても、2つの磁性層（又は積層膜）のうちの1つを磁化固定層として用いた場合には、もう1つの磁性層（又は積層膜）は、磁気記録層として用いる。磁気記録層には、反強磁性層が隣接して配置されておらず、磁気記録層の磁化状態（スピニの向き）は、書き込み時に発生する電流磁界により変化させることができる。

【0075】

磁気記録層として、例えば、ソフト強磁性層／強磁性層からなる二層膜、又は、強磁性層／ソフト強磁性層／強磁性層からなる三層膜を使用した場合、並びに、非磁性層により反強磁性的な層間の相互作用が働いている場合には、磁束が磁気記録層内で閉じているため、磁極によるスイッチング磁界の増大を抑えることができる。

【0076】

即ち、このような構造を採用することにより、メモリセルサイズがサブミクロン以下になっても、反磁界により電流磁界の消費電力が増大しないで済む、という好ましい効果が得られる。

【0077】

また、電流磁場配線に近い位置には、強磁性層／非磁性層／強磁性層からなる三層膜を配置することが望ましい。この三層膜（ソフトな層）上には、ソフト強磁性層／強磁性層からなる二層膜、又は、強磁性層／ソフト強磁性層／強磁性層からなる三層膜を配置してもよい。

【0078】

絶縁層（トンネルバリア）としては、例えば、 Al_2O_3 , SiO_2 , MgO , AlN , Bi_2O_3 , MgF_2 , CaF_2 , SrTiO_2 , AlLaO_3 などの

誘電体を使用することができる。これらは、酸素欠損、窒素欠損、フッ素欠損などが存在していてもかまわない。

【0079】

絶縁層（トンネルバリア）の厚さは、できるだけ薄い方がよいが、特に、その機能を実現するための決まった制限はない。但し、製造上、絶縁層の厚さは、10 nm以下に設定される。

【0080】

なお、本発明では、上述したように、図1又は図2に示すようなTMR層を複数個積み重ね、1つのTMR素子を構成している。これにより、磁気ランダムアクセスメモリにおいても、1つのメモリセル（又はTMR素子）に対して、3値以上（又は複数ビット）のデータを記憶させることができる。

【0081】

【第1実施の形態】

図3は、本発明の第1実施の形態に関する磁気ランダムアクセスメモリのメモリセルを示している。

【0082】

半導体基板11上には、スイッチ素子としてのMOSトランジスタQが形成される。MOSトランジスタQのゲート電極は、リードワード線12となっている。MOSトランジスタQのソース拡散層13は、プラグ14を経由してソース線15に接続される。

【0083】

MOSトランジスタQのドレイン拡散層16は、プラグ17, 19, 21及び配線層18, 20, 22を経由して、TMR素子に接続される。本例では、TMR素子は、2つのTMR層TMR1, TMR2から構成される。TMR素子は、配線層22とビット線（電流駆動線）23の間に挟まれている。

【0084】

TMR素子の直下には、電流駆動線（ライトワード線）24が配置される。電流駆動線24は、ビット線23が延びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に延びている。TMR素子には、ビット線23に流れる電流及

び電流駆動線24に流れる電流により生成される磁界によりデータが書き込まれる。

【0085】

本例では、図4に示すように、TMR素子は、2つのTMR層TMR1, TMR2を縦方向に積み重ねた構造（2層縦積みTMR構造）を有している。この場合、マクロ的には同じ構造を有する2つのTMR層TMR1, TMR2の間に、非磁性導電層を配置する。

【0086】

但し、例えば、図5の例に示すように、1つの反強磁性層を、2つのTMR層TMR1, TMR2で共有し、非磁性導電層を省略してもよい。

【0087】

なお、本例では、TMR素子は、2つのTMR層から構成され、TMR素子に4値までのデータを記憶できることを前提として説明したが、本発明は、3つ以上のTMR層から構成されるTMR素子にも適用できる。この場合、1つのメモリセルに5値以上のデータを記憶させることができる。

【0088】

図4に示すような縦積みTMR構造を採用する場合、TMR層TMR1, TMR2は、マクロ的には互いに同じ構造を有しているが、書き込み動作原理上の理由から、TMR層TMR1, TMR2のアステロイド曲線は、それぞれ異なったものとなっている。

【0089】

例えば、図38に示すように、ビット線側のTMR層TMR1のアステロイド曲線は、実線で示すようになり、電流駆動線（ライトワード線）側のTMR層TMR2のアステロイド曲線は、点線で示すようになる。つまり、TMR層TMR1, TMR2に、このような特性の相違を設けることにより、書き込み時に、TMR層TMR1, TMR2に選択的にデータを書き込めるようにする。

【0090】

即ち、例えば、電流駆動線24に流れる電流（又はその電流により生成される磁界）の強さを調整し、まず、図38の黒丸の位置でTMR層TMR1にデータ

DATA 1を書き込む。この時、TMR層TMR 2にも、データDATA 1が書き込まれてしまう。

【0091】

そこで、この後、例えば、電流駆動線24に流れる電流（又はその電流により生成される磁界）の強さをさらに調整し、図38の白丸の位置でTMR層TMR 2にデータDATA 2を書き込む。この時、磁界の強さは、TMR層TMR 1のデータを書き換えるために十分な大きさを有していないため、TMR層TMR 1にデータDATA 2が上書きされることなく、データDATA 1がそのまま保持される。

【0092】

このように、TMR層TMR 2に対するデータ書き込みに必要な磁界は、TMR層TMR 1に対するデータ書き込みに必要な磁界よりも小さいため、書き込みに強い磁界を必要とするTMR層から弱い磁界で十分なTMR層に向かって順次書き込みを実行していくことにより、複数のTMR層に選択的にデータを書き込むことができる。

【0093】

以上の例は、2つのTMR層TMR 1, TMR 2の位置が、それぞれビット線23及び電流駆動線24からほぼ同じ距離にある場合に適用される。つまり、2つのTMR層TMR 1, TMR 2は、同じ大きさの磁界を受けることを前提としている。

【0094】

また、上述の書き込み動作原理は、TMR層TMR 1, TMR 2が受ける磁界の大きさをほぼ同じとし、TMR層TMR 1, TMR 2のアステロイド曲線を変えることを前提とするが、これに代えて、TMR層TMR 1, TMR 2のアステロイド曲線をほぼ同じとし、TMR層TMR 1, TMR 2が受ける磁界の大きさを変えるようにしてもよい。

【0095】

なお、書き込み動作時に、TMR層TMR 1, TMR 2が受ける磁界の大きさを変えるには、例えば、TMR層TMR 1, TMR 2を、ビット線23又は電流

駆動線24からの距離が実質的に異なる位置にそれぞれ配置すればよい。この場合においても、複数のTMR層に選択的にデータを書き込むことができる。

【0096】

これを具体的に示したのが図6及び図7である。

【0097】

図6は、半径aの円柱の中心からの距離rと円周方向の磁界H_rとの関係を示している。

【0098】

実際の配線は、矩形を有しているが、概略的には、配線の中心からの距離に対する磁界の変化は、円柱配線を用いた場合のそれで近似できる。このような近似を行った場合、配線の外側においては、円周方向の磁界H_rは、円柱の中心からの距離rに反比例して減少する。

【0099】

この現象（配線に流れる電流により生成される磁界の位置依存性）を利用すれば、2つのTMR層TMR1, TMR2に、それぞれ別々にデータを書き込むことができる。

【0100】

図7は、書き込み動作時にTMR層TMR1, TMR2にかかる磁界を示している。

【0101】

例えば、TMR層TMR1, TMR2の縦方向距離をtとすれば、TMR層TMR1にデータを書き込む場合には、電流I_xにより生成される磁界の影響が大きく、電流I_yにより生成される磁界の影響は、間隔tやTMR層TMR2の厚さなどにより電流I_yが流れる配線とTMR層TMR1との距離が長くなるために、小さくなる。

【0102】

また、TMR層TMR2にデータを書き込む場合には、電流I_yにより生成される磁界の影響が大きく、電流I_xにより生成される磁界の影響は、間隔tやTMR層TMR1の厚さなどにより電流I_xが流れる配線とTMR層TMR2との

距離が長くなるために、小さくなる。

【0103】

ここで、TMR層TMR1, TMR2にデータを書き込む（スピンの向きを変える）ためには、TMR層TMR1, TMR2が位置するポイントで、電流 I_x により生成される磁界の大きさと電流 I_y により生成される磁界の大きさが等しくなければならぬないとすると、例えば、TMR層TMR1にデータを書き込む際には、TMR層TMR1の位置で、電流 I_x により生成される磁界の大きさと電流 I_y により生成される磁界の大きさが等しくなければならぬ。

【0104】

このようにするためには、書き込み電流 I_y を書き込み電流 I_x よりも大きくする必要がある。

【0105】

例えば、図示するように、電流 I_x が流れる配線とTMR層TMR1との距離、TMR層TMR1, TMR2同士の距離、及び、電流 I_y が流れる配線とTMR層TMR2との距離が、それぞれ、 t であるとすると、電流 I_x が流れる配線とTMR層TMR1との距離は、 t 、電流 I_y が流れる配線とTMR層TMR1との距離は、 $2t$ となるため（TMR素子の厚さは、無視する）、図6の関係式（1）より、 $I_y = 2 \times I_x$ とすれば、合成磁界は、図38のアステロイド曲線の外側の黒丸の位置となり、TMR層TMR1にデータを書き込むことができる。

【0106】

この時、TMR層TMR2に対しては、合成磁界がアステロイド曲線の内側の位置となるようにすれば、TMR層TMR2にデータが書き込まれることはない。

【0107】

同様に、例えば、TMR層TMR2にデータを書き込む際には、 $I_x = 2 \times I_y$ とし、合成磁界が、図38のアステロイド曲線の外側の黒丸の位置となるようにすればよい。但し、本例では、TMR層TMR1, TMR2のアステロイド曲線は、同一であると仮定している。

【0108】

次に、メモリセルを構成するTMR素子が直列接続された2つのTMR層TMR1, TMR2からなる場合に、各TMR層TMR1, TMR2の抵抗値、即ち、各TMR層TMR1, TMR2に記憶されたデータを独立に検出する方法（読み出し動作原理）について説明する。

【0109】

図8は、TMR層のMR比[%]と抵抗R[Ω]の接合面積依存性を示している。

【0110】

同図に示すように、MR比は、接合面積に依存しないが（実線）、抵抗値Rは、接合面積に依存すると共に、トンネルバリアとしての絶縁層の厚み（ここでは、 A_{10x} の厚み）に応じて変化する（点線）。

【0111】

ここで、TMR層TMR1, TMR2のMR比をそれぞれ50%とし、磁化の状態が同じ場合におけるTMR層TMR1, TMR2の抵抗値に関しては、TMR層TMR1のそれがTMR層TMR2のそれの2倍であると仮定して、具体的な読み出し動作原理について考える。

【0112】

なお、このような条件については、例えば、TMR層TMR2のトンネルバリアの厚さを、TMR層TMR1のトンネルバリアの厚さよりも薄くすることにより、また、TMR層TMR2の接合面積を、TMR層TMR1の接合面積よりも大きくすることにより、実現することができる。

【0113】

この場合、TMR層TMR1, TMR2の抵抗値を検出するための検出回路の等価回路は、図9に示すように、簡略化することができる。

【0114】

TMR層TMR1, TMR2は、磁化の状態に応じて、それぞれ、2つの状態（高抵抗値High）及び低抵抗値（Low）をとることができるために、TMR層TMR1, TMR2の抵抗値 R_{TMR1} , R_{TMR2} は、磁化の状態に応じて

、表1に示すようになる。

【0115】

【表1】

	RTMR1	RTMR2
高抵抗値 High	4	2
低抵抗値 Low	2	1

$$V_o = (R_s \cdot V) / (R_s + RTMR1 + RTMR2)$$

$$\begin{aligned} V=1, R_s=4 \text{ とすると } & V_{LL}=4/(4+2+1)=0.57 \\ & V_{LH}=4/(4+2+2)=0.5 \\ & V_{HL}=4/(4+4+1)=0.44 \\ & V_{HH}=4/(4+4+2)=0.4 \\ & V_{LL}-V_{LH}=0.07 \\ & V_{LH}-V_{HL}=0.06 \\ & V_{HL}-V_{HH}=0.04 \end{aligned}$$

抵抗変化による4値レベルの検出

【0116】

即ち、TMR層TMR1の抵抗値 R_{TMR1} は、“2”又は“4”となり、TMR層TMR2の抵抗値 R_{TMR2} は、“1”又は“2”となる。また、検出抵抗 R_s の抵抗値は、“4”であるとする。

【0117】

この時、TMR層TMR1、TMR2の磁化の状態（データ“0”、“1”に対応）に応じて、TMR層TMR1、TMR2の抵抗値 R_{TMR1} 、 R_{TMR2} の組み合せは、4通り、即ち、① $R_{TMR1}=2$ (Low), $R_{TMR2}=1$ (Low)、② $R_{TMR1}=2$ (Low), $R_{TMR2}=2$ (High)、③ $R_{TMR1}=4$ (High), $R_{TMR2}=1$ (Low)、④ $R_{TMR1}=4$ (High), $R_{TMR2}=2$ (High)、考えられる。

【0118】

この4通りの場合に対応する検出電圧 V_o を、それぞれ、 V_{LL} , V_{LH} , V_{HL} , V_{HH} とすると、読み出し電圧 V_o を1Vとしたときには、 $V_{LL}=0.57$ V, $V_{LH}=0.5$ V, $V_{HL}=0.44$ V, $V_{HH}=0.4$ Vとなる。

【0119】

また、各検出電圧の差は、 $V_{LL} - V_{LH} = 70 \text{ mV}$ 、 $V_{LH} - V_{HL} = 60 \text{ mV}$ 、 $V_{HL} - V_{HH} = 40 \text{ mV}$ であり、これだけの差があれば、十分に、各検出電圧（4値データ）を検出することができる。

【0120】

なお、検出抵抗 R_o の抵抗値を、TMR層TMR1, TMR2の抵抗値 R_{TMR1} , R_{TMR2} の合計値（4通り）の平均（合計平均抵抗値）にできるだけ近い値とすれば、最大の検出電圧を得ることができる。

【0121】

ところで、上述の書き込み動作原理及び読み出し動作原理の説明では、直列接続された2つのTMR層を用い、4値レベルのデータの書き込み／読み出しについて説明したが、直列接続されるTMR層の数を3, 4, 5...と増やすことにより、例えば、5値レベル以上のデータの書き込み／読み出しを行うこともできる。

【0122】

図10は、本発明の関わる磁気ランダムアクセスメモリのメモリセルアレイ部の回路構成の一例を示している。

【0123】

制御信号 ϕ_1 , ϕ_{31} , ϕ_{32} , ϕ_{33} は、NチャネルMOSトランジスタQN1, QN31, QN32, QN33のオン／オフを制御して、ビット線BL1, BL2, BL3に電流を流すか否かを決定する。ビット線BL1, BL2, BL3の一端（NチャネルMOSトランジスタQN1側）には、電流駆動電源25が接続される。電流駆動電源25は、ビット線BL1, BL2, BL3に電源電位 V_y を供給する。

【0124】

NチャネルMOSトランジスタQN31, QN32, QN33は、ビット線BL1, BL2, BL3の他端と接地点との間に接続される。

【0125】

そして、書き込み動作時においては、制御信号 ϕ_1 が“H”レベルとなり、かつ、制御信号 ϕ_{31} , ϕ_{32} , ϕ_{33} のうちの1つが“H”レベルとなる。例え

ば、メモリセルMC 1のTMR素子（TMR層TMR 1）に対して書き込みを行う場合には、図11のタイミングチャートに示すように、制御信号 $\phi 1$, $\phi 31$ が“H”レベルとなるため、ビット線BL 1に電流が流れる。この時、制御信号 $\phi 41$, $\phi 42$, $\phi 43$ は、“L”レベルとなっている。

【0126】

また、Vx 1は、“1”－書き込みのための電流駆動電源電位であり、Vx 2は、“0”－書き込みのための電流駆動電源電位である。

【0127】

例えば、“1”－書き込み時には、図11に示すように、制御信号 $\phi 5$, $\phi 11$ が“H”レベルになる。この時、制御信号 $\phi 6$, $\phi 12$ は、“L”レベルとなっている。このため、ライトワード線WWL 1には、左から右（電流駆動電源26から接地点）に向かって電流が流れる。従って、ビット線BL 1とライトワード線WWL 1の交点に配置されるメモリセルMC 1のTMR素子（TMR層TMR 1）に“1”－データが書き込まれる。

【0128】

また、“0”－書き込み時には、図11に示すように、制御信号 $\phi 6$, $\phi 11$ が“H”レベルになる。この時、制御信号 $\phi 5$, $\phi 12$ は、“L”レベルとなっている。このため、ライトワード線WWL 1には、右から左（接地点から電流駆動電源27）に向かって電流が流れる。従って、ビット線BL 1とライトワード線WWL 1の交点に配置されるメモリセルMC 1のTMR素子（TMR層TMR 1）に“0”－データが書き込まれる。

【0129】

このように、書き込み動作時において、制御信号 $\phi 1$ は、ビット線に駆動電流を流すために用いられ、制御信号 $\phi 31$, $\phi 32$, $\phi 33$ は、駆動電流を流すビット線を決定するために用いられる（本例では、ビット線に流れる駆動電流の向きは、一定であるとしている。）。また、制御信号 $\phi 5$, $\phi 6$ は、ライトワード線に流れる電流の向き（本例では、書き込みデータに対応）を制御し、制御信号 $\phi 11$, $\phi 12$ は、駆動電流を流すライトワード線を決定する。

【0130】

本例では、説明を簡単にするため、 3×2 のメモリセルアレイを前提としている。ここで、ライトワード線WWL 1, WWL 2とビット線BL 1, BL 2, BL 3の交点には、それぞれ、メモリセル（具体的には、2つのTMR層TMR 1, TMR 2からなるTMR素子）が配置されている。

【0131】

ここで、メモリセル（TMR素子）MC 1に記憶されたデータを読み出すためには、制御信号 ϕ_{21} , ϕ_{22} , ϕ_{41} , ϕ_{42} , ϕ_{43} を、以下のように制御する。

【0132】

即ち、読み出し動作時には、リードワード線RWL 1に与える制御信号 ϕ_{21} を“H”レベルにし、リードワード線RWL 1に繋がるNチャネルMOSトランジスタをオン状態とする。この時、他のリードワード線RWL 2に与える制御信号 ϕ_{22} は、“L”レベルとなっている。

【0133】

また、制御信号 ϕ_{41} を“H”レベルとし、他の制御信号 ϕ_{42} , ϕ_{43} を“L”レベルとすると、読み出し電源28から、メモリセルMC 1（NチャネルMOSトランジスタ及びTMR素子）、ビット線BL 1、NチャネルMOSトランジスタQN41及び検出抵抗Rsを経由して、接地点に向かって、駆動電流が流れれる。

【0134】

つまり、例えば、図9に示した読み出し動作原理により、検出抵抗Rsの両端には、メモリセルMC 1のデータ値に応じた検出電圧Voが発生する。この検出電圧Voを、例えば、センスアンプS/Aにより検出することにより、メモリセル（TMR素子）のデータを読み出すことができる。

【0135】

図11及び図12は、図10のメモリセルMC 1に対する書き込み動作波形を示している。

【0136】

ここで、メモリセルMC 1は、直列接続された2つのTMR層TMR 1, TM

R2を有し、TMR層TMR1, TMR2のアステロイド曲線は、図38に示すようになっていると仮定する。

【0137】

まず、TMR層TMR1に対するデータ書き込みを実行する（図11）。

【0138】

制御信号 ϕ_1 , ϕ_{31} を“H”レベルとし、ビット線BL1に電流を流すと共に、“1”一書き込み時には、制御信号 ϕ_5 , ϕ_{11} を“H”レベルとし、“0”一書き込み時には、制御信号 ϕ_6 , ϕ_{11} を“H”レベルとして、ライトワード線WWL1に右向き又は左向きの電流を流す。

【0139】

そして、メモリセルMC1のTMR素子に、ライトワード線WWL1及びビット線BL1に流れる電流により生成される合成磁界を与える。この時、合成磁界は、TMR層TMR1のアステロイド曲線（図38の実線）の外側、例えば、黒丸の位置にくるように設定する。

【0140】

その結果、メモリセルMC1のTMR層TMR1には、所定のデータが書き込まれる。なお、この時、同時に、メモリセルMC1のTMR層TMR2にも、所定のデータが書き込まれる。

【0141】

この後、TMR層TMR2に対するデータ書き込みを実行する（図12）。

【0142】

TMR層TMR2に対するデータ書き込み動作が、TMR層TMR1に対するデータ書き込み動作と相違する点は、制御信号 ϕ_1 , ϕ_{11} の“H”レベルが、TMR層TMR1に対するデータ書き込み動作の場合の制御信号 ϕ_1 , ϕ_{11} の“H”レベルの1/2になっている点にある。

【0143】

この場合に、制御信号 ϕ_1 , ϕ_{31} を“H”レベルとし、ビット線BL1に電流を流すと共に、“1”一書き込み時には、制御信号 ϕ_5 , ϕ_{11} を“H”レベルとし、“0”一書き込み時には、制御信号 ϕ_6 , ϕ_{11} を“H”レベルとして

、ライトワード線WWL 1に右向き又は左向きの電流を流し、メモリセルMC 1のTMR素子に、ライトワード線WWL 1及びビット線BL 1に流れる電流により生成される合成磁界を与えると、合成磁界は、TMR層TMR 2のアステロイド曲線（図38の点線）の外側であって、かつ、TMR層TMR 1のアステロイド曲線（図38の実線）の内側、例えば、白丸の位置にくる。

【0144】

その結果、メモリセルMC 1のTMR層TMR 2には、所定のデータが書き込まれる。なお、この時、メモリセルMC 1のTMR層TMR 1の磁化の状態（データ）は、変わることがないため、既に、書き込みが終了したTMR層TMR 1のデータが破壊されることはない。

【0145】

このように、TMR層TMR 1, TMR 2が図38に示すようなアステロイド曲線を有する場合、TMR層TMR 1, TMR 2に選択的にデータを書き込むことができる。また、読み出し時には、TMR層TMR 1, TMR 2の磁化の状態（“1”又は“0”）に対応した4種類の検出電圧 V_o が、例えば、センスアンプS/Aにより、4段階の電圧レベル V_{out} に変換される。また、4段階の電圧レベル V_{out} を基準電圧と比較することにより、この電圧レベル V_{out} を2ビットデータに変換することができる。

【0146】

なお、本例では、1メモリセル内のTMR素子が2つのTMR層TMR 1, TMR 2から構成され、この2つのTMR層TMR 1, TMR 2のアステロイド曲線が互いに異なる場合を前提としたが、例えば、図7で説明したように、同じアステロイド曲線を持つ2つのTMR層を用いた場合においても、これら2つのTMR層の相対的な位置を変え、2つのTMR層にかかる磁界の強度に差をつけても、同様の効果を得ることができる。この場合には、書き込み電流を調整することにより、2つのTMR層のどちら側からも書き込みを実行できる。

【0147】

次に、本実施の形態に関する磁気ランダムアクセスメモリのデバイス構造及びその製造方法について説明する。

【0148】

図13及び図14は、本発明の第1実施の形態に関する磁気ランダムアクセスメモリのデバイス構造を示している。

【0149】

この磁気ランダムアクセスメモリは、図3において説明した磁気ランダムアクセスメモリを詳細に示したものと考えることができる。ここで、図13及び図14においては、図3と同一の部分には、同じ符号を付してある。

【0150】

半導体基板11内には、STI (Shallow Trench Isolation) 構造を有する素子分離層30が配置される。素子分離層30は、複数の素子領域を電気的に分離している。なお、本例では、素子分離層30は、STI構造であるが、その他の構造（例えば、LOCOS構造）であってもよい。

【0151】

半導体基板11上の素子領域内には、スイッチ素子としてのMOSトランジスタが形成される。MOSトランジスタのゲート電極は、リードワード線12となっている。MOSトランジスタのソース拡散層13は、プラグ14を経由してソース線（接地線）15に接続される。

【0152】

MOSトランジスタのドレイン拡散層16は、プラグ17, 19, 21及び配線層18, 20, 22を経由して、縦積みTMR素子31に接続される。

【0153】

プラグ17は、例えば、不純物を含んだ導電性ポリシリコン膜や、金属膜などから構成され、プラグ19, 21及び配線層18, 20, 22は、例えば、アルミニウム、銅などの金属膜から構成される。

【0154】

TMR素子31は、縦積みされた複数のTMR層から構成される。この縦積みTMR素子31は、例えば、図4、図5に示すような構造を有している。TMR素子31は、配線層（ローカルインターネクト配線）22とピット線23の間に挟まれている。

【0155】

TMR素子31の直下には、電流駆動線24が配置される。電流駆動線24は、ビット線23が延びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に延びている。TMR素子31には、ビット線23に流れる電流及び電流駆動線24に流れる電流により生成される磁界によりデータが書き込まれる。

【0156】

次に、図13及び図14の磁気ランダムアクセスメモリの製造方法について説明する。

【0157】

まず、図15及び図16に示すように、PEP（Photo Engraving Process）、CVD（Chemical Vapour Deposition）、CMP（Chemical Mechanical Polishing）などの周知の方法を用いて、半導体基板11内に、STI構造の素子分離層30を形成する。

【0158】

また、素子分離層30に取り囲まれた素子領域内にMOSトランジスタを形成する。この後、CVD法により、MOSトランジスタを完全に覆う絶縁層32を形成する。PEP及びRIE（Reactive Ion Etching）を用いて、絶縁層32内に、MOSトランジスタのソース拡散層13及びドレイン拡散層16に達するコンタクトホールを形成する。

【0159】

また、絶縁層32上に、コンタクトホールを完全に満たす導電材（例えば、不純物を含む導電性ポリシリコン膜、金属膜など）を形成する。そして、CMPにより導電材を研磨し、コンタクトプラグ14、17を形成する。

【0160】

次に、図17及び図18に示すように、CVD法を用いて、絶縁層32上に、絶縁層33を形成する。PEP及びRIEを用いて、絶縁層33内に、配線溝を形成する。スパッタ法により、絶縁層33上に、配線溝を完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）を形成する。この後、CMPにより導電材を研磨し、配線15、18を形成する。

【0161】

なお、配線15は、ソース線（接地線）として機能する。

【0162】

続けて、CVD法を用いて、絶縁層33上に、絶縁層34を形成する。PEP及びRIEを用いて、絶縁層34内に、バイアホール（via hole）を形成する。スパッタ法により、絶縁層34上に、バイアホールを完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）を形成する。この後、CMPにより導電材を研磨し、プラグ19を形成する。

【0163】

次に、図19及び図20に示すように、CVD法を用いて、絶縁層34上に、絶縁層35を形成する。PEP及びRIEを用いて、絶縁層35内に、配線溝を形成する。スパッタ法により、絶縁層35上に、配線溝を完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）を形成する。この後、CMPにより導電材を研磨し、配線20，24を形成する。

【0164】

なお、配線24は、書き込み動作時に磁界を発生させるための電流を流す電流駆動線として機能する。

【0165】

続けて、CVD法を用いて、絶縁層35上に、絶縁層36を形成する。PEP及びRIEを用いて、絶縁層36内に、バイアホールを形成する。スパッタ法により、絶縁層36上に、バイアホールを完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）を形成する。この後、CMPにより導電材を研磨し、プラグ21を形成する。

【0166】

ここで、絶縁層36の厚さ（又はプラグ21の高さ）は、配線（電流駆動線）24とTMR素子の距離を決定する。磁界の強さは、上述したように、距離に反比例して減少していくため、TMR素子を配線（電流駆動線）24にできるだけ近づけ、小さな駆動電流によりデータの書き換えが行えるようにすることが望ましい。よって、絶縁層36の厚さは、できるだけ薄くする。

【0167】

次に、図21及び図22に示すように、CVD法を用いて、絶縁層36上に、絶縁層37を形成する。PEP及びRIEを用いて、絶縁層37内に、配線溝を形成する。スパッタ法により、絶縁層37上に、配線溝を完全に満たす導電材（例えば、アルミニウム、銅などの金属膜）を形成する。この後、CMPにより導電材を研磨し、配線（ローカルインターネクト配線）22を形成する。

【0168】

次に、図23及び図24に示すように、CVD法を用いて、例えば、反強磁性層、強磁性層、トンネルバリア、非磁性導電層からなる積層膜を形成する。この後、これら積層膜をパターニングし、縦積みTMR素子31を形成する。

【0169】

次に、図25及び図26に示すように、CVD法を用いて、TMR素子31を覆う絶縁層を形成した後、例えば、CMP法によりTMR素子31上の絶縁層を除去し、TMR素子31の側面を覆う絶縁層を形成する。また、スパッタ法により導電層を形成し、この導電層をエッチングすることにより、TMR素子31に接触し、かつ、リードワード線12に直交するビット線（電流駆動線）23を形成する。

【0170】

以上の工程により、図13及び図14の磁気ランダムアクセスメモリが完成する。

【0171】

[第2実施の形態]

図27は、本発明の第2実施の形態に關わる磁気ランダムアクセスメモリを示す平面図である。図28は、図27のXXVII-XI線に沿う断面図である。

【0172】

本実施の形態に關わるデバイス構造の特徴は、第一に、共通ビット線23の上下にTMR素子を配置している点、第二に、カラム方向に隣接する2つのメモリセルが1つのソース拡散層13及び1つのソース線15を共有している点にある

。これら2つの特徴のいづれについても、メモリセル面積の縮小という効果を得ることができる。

【0173】

半導体基板11内には、STI (Shallow Trench Isolation) 構造を有する素子分離層30が配置される。素子分離層30は、複数の素子領域を電気的に分離している、なお、本例では、素子分離層30は、STI構造であるが、その他の構造（例えば、LOCOS構造）であってもよい。

【0174】

半導体基板11上の素子領域内には、スイッチ素子としてのMOSトランジスタが形成される。MOSトランジスタのゲート電極は、リードワード線12となっている。本例では、1つの素子領域内に、2つのMOSトランジスタが配置される。また、これら2つのMOSトランジスタは、1つのソース拡散層13を共有している。

【0175】

また、MOSトランジスタのソース拡散層13は、プラグ14を経由してソース線（接地線）15に接続される。即ち、本例では、カラム方向に隣接する2つのメモリセルは、1つのソース拡散層13及び1つのソース線15を共有している。

【0176】

ソース拡散層13を共有する2つのMOSトランジスタのうちの一方に関しては、そのドレイン拡散層16は、プラグ17, 19, 21及び配線層18, 20, 22Aを経由して、TMR素子31Aに接続される。

【0177】

プラグ17は、例えば、不純物を含んだ導電性ポリシリコン膜や、金属膜などから構成され、プラグ19, 21及び配線層18, 20, 22Aは、例えば、アルミニウム、銅などの金属膜から構成される。また、TMR素子31Aは、例えば、図4及び図5に示すような縦積みTMR素子でもよいし、図34に示すような通常のTMR素子でもよい。

【0178】

TMR素子31Aは、配線層（ローカルインターネット配線）22Aと共にビット線23の下面との間に配置されている。

【0179】

TMR素子31Aの直下には、電流駆動線24Aが配置される。電流駆動線24Aは、共通ビット線23が延びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に延びている。TMR素子31Aには、共通ビット線23に流れる電流及び電流駆動線24Aに流れる電流により生成される磁界によりデータが書き込まれる。

【0180】

ソース拡散層13を共有する2つのMOSトランジスタのうちの他方に関しては、そのドレイン拡散層16は、プラグ17, 19, 21, 21'及び配線層18, 20, 22B, 22Cを経由して、TMR素子31Bに接続される。

【0181】

・ プラグ17は、例えば、不純物を含んだ導電性ポリシリコン膜や、金属膜などから構成され、プラグ19, 21, 21'及び配線層18, 20, 22B, 22Cは、例えば、アルミニウム、銅などの金属膜から構成される。また、TMR素子31Bは、例えば、図4及び図5に示すような縦積みTMR素子でもよいし、図34に示すような通常のTMR素子でもよい。

【0182】

TMR素子31Bは、配線層（ローカルインターネット配線）22Cと共にビット線23の上面との間に配置されている。

【0183】

TMR素子31Bの直上には、電流駆動線24Bが配置される。電流駆動線24Bは、共通ビット線23が延びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に延びている。TMR素子31Bには、共通ビット線23に流れる電流及び電流駆動線24Bに流れる電流により生成される磁界によりデータが書き込まれる。

【0184】

なお、本例では、TMR素子31A, 31Bは、半導体基板11の上方から見

た場合に、互いにオーバーラップ（完全一致）しているが、例えば、部分的にオーバーラップしていても、また、全くオーバーラップしないような位置に設けてもよい。

【0185】

このように、本実施の形態に関わるデバイス構造では、共通ビット線23の上下にTMR素子が配置されている。この場合、共通ビット線23の下面側に配置されるTMR素子並びにこれとドレイン拡散層16を結ぶ配線及びプラグに関しては、例えば、上述の第1実施の形態に関わるデバイス構造と同一の構造をそのまま採用できる。

【0186】

一方、共通ビット線23の上面側に配置されるTMR素子に並びにこれとドレイン拡散層16を結ぶ配線及びプラグに関しては、共通ビット線23とプラグ21'が接触しないように、配線（ローカルインターネクト配線）22B, 22Cのパターンを工夫する必要がある。要は、配線22B, 22Cを用いて、プラグ21'の位置をずらし、プラグ21'が共通ビット線23とオーバーラップしないようにすればよい。

【0187】

また、2つのメモリセルで1つのソース線（接地線）15を共有している。この場合、電流駆動線24Aをソース線15上に配置することができる。また、電流駆動線24Aは、配線20と同じレベル（配線層）に形成される。つまり、本例では、各配線を無駄なスペースなしに配置することができ、メモリセル面積の縮小に貢献できる。

【0188】

なお、電流駆動線24A, 24Bは、TMR素子31A, 31Bにできるだけ近い位置に配置することが望ましい。また、本例では、電流駆動線24A, 24Bは、TMR素子31A, 31Bの直下又は直上に配置されているが、例えば、電流駆動線24A, 24Bの位置とTMR素子31A, 31Bの位置が多少ずれても全く問題はない。

【0189】

また、図27の平面図においては、配線22B, 22Cのパターンやプラグ21, 21'の位置を分かり易くするため、ビット線23の一部を省略している。同図において、配線22B, 22Cは、ハッチングで示し、プラグ21, 21'は、点線で示している。

【0190】

なお、電流駆動線24A, 24Bのいずれか一方のみを用いて、共通ビット線23の上下に配置された2つのTMR素子31A, 31Bに対する書き込みを行ってもよい。この場合には、書き込みに使用する電流駆動線からの距離が遠いほうのTMR素子に対して書き込みを実行する際には、大きな電流により強い磁界を発生させるか、又は、そのTMR素子の磁界に対する感度を高くすればよい。

【0191】

本願の第2実施の形態に関する磁気ランダムアクセスメモリにおいても、1つのメモリセルに3値以上（又は複数ビット）のデータを記憶できると共に、ビット線の上下にTMR素子（1層TMR構造又は複数層の縦積みTMR構造のいずれでもよい）を配置したり、互いに隣接する2つのメモリセルでソース線を共有したりすることで、メモリセルの面積を縮小することができる。

【0192】

[第3実施の形態]

図29は、本発明の第3実施の形態に関する磁気ランダムアクセスメモリを示す平面図である。図30は、図29のXXX-XXX線に沿う断面図である。

【0193】

本実施の形態に関するデバイス構造の特徴は、上述の第2実施の形態におけるデバイス構造の2つの特徴を含むと共に、さらに、1カラム内に、複数（本例では、2つ）の共通ビット線23A, 23Bを配置し、1つのMOSトランジスタと複数の共通ビット線23A, 23Bの間に、複数のTMR素子を配置した点に特徴を有している。

【0194】

本例では、1カラム内に配置される複数の共通ビット線23A, 23Bは、異なる配線層に形成され、第1層目の共通ビット線23Aとその上の第2層目の共

通ビット線23Bに分けられる。第1層目の共通ビット線23Aとその上の第2層目の共通ビット線23Bは、本例では、互いに完全にオーバーラップしている。但し、第1層目の共通ビット線23Aとその上の第2層目の共通ビット線23Bは、一部のみにおいてオーバーラップしていても、又は、全くオーバーラップしていなくてもよい。

【0195】

また、本例では、1カラム内の複数のビット線23A、23Bは、互いに異なる配線層に配置したが、同一の配線層に配置してもよい。

【0196】

具体的なデバイス構造について述べる。

半導体基板11内には、STI (Shallow Trench Isolation) 構造を有する素子分離層30が配置される。素子分離層30は、複数の素子領域を電気的に分離している、なお、本例では、素子分離層30は、STI構造であるが、その他の構造（例えば、LOCOS構造）であってもよい。

【0197】

半導体基板11上の素子領域内には、スイッチ素子としてのMOSトランジスタが形成される。MOSトランジスタのゲート電極は、リードワード線12となっている。本例では、1つの素子領域内に、2つのMOSトランジスタが配置される。また、これら2つのMOSトランジスタは、1つのソース拡散層13を共有している。

【0198】

また、MOSトランジスタのソース拡散層13は、プラグ14を経由してソース線（接地線）15に接続される。即ち、本例では、カラム方向に隣接する2つのメモリセルは、1つのソース拡散層13及び1つのソース線15を共有している。

【0199】

ソース拡散層13を共有する2つのMOSトランジスタのうちの一方に関しては、そのドレイン拡散層16は、プラグ17、19、21及び配線層18、20、22Aを経由して、TMR素子31Aに接続され、かつ、プラグ17、19、

21, 21', 38及び配線層18, 20, 22A, 22C', 22Dを経由して、TMR素子31Cに接続される。

【0200】

プラグ17は、例えば、不純物を含んだ導電性ポリシリコン膜や、金属膜などから構成され、プラグ19, 21, 21', 38及び配線層18, 20, 22A, 22C', 22Dは、例えば、アルミニウム、銅などの金属膜から構成される。また、TMR素子31A, 31Cは、例えば、図4及び図5に示すような縦積みTMR素子でもよいし、図34に示すような通常のTMR素子でもよい。

【0201】

TMR素子31Aは、配線層（ローカルインターネクト配線）22Aと第1層目の共通ビット線23Aの下面との間に配置され、TMR素子31Cは、配線層（ローカルインターネクト配線）22Dと第2層目の共通ビット線23Bの下面との間に配置されている。

【0202】

TMR素子31Aの直下には、電流駆動線24Aが配置される。電流駆動線24Aは、共通ビット線23A, 23Bが延びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に延びている。TMR素子31Aには、共通ビット線23Aに流れる電流及び電流駆動線24Aに流れる電流により生成される磁界によりデータが書き込まれる。

【0203】

TMR素子31Cの直下には、電流駆動線24Bが配置される。電流駆動線24Bは、共通ビット線23A, 23Bが延びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に延びている。TMR素子31Cには、共通ビット線23Bに流れる電流及び電流駆動線24Bに流れる電流により生成される磁界によりデータが書き込まれる。

【0204】

ソース拡散層13を共有する2つのMOSトランジスタのうちの他方に関しては、そのドレイン拡散層16は、プラグ17, 19, 21, 21'及び配線層18, 20, 22B, 22Cを経由して、TMR素子31Bに接続され、プラグ1

7, 19, 21, 21', 38, 39及び配線層18, 20, 22B, 22C, 22E, 22E'を経由して、TMR素子31Dに接続される。

【0205】

プラグ17は、例えば、不純物を含んだ導電性ポリシリコン膜や、金属膜などから構成され、プラグ19, 21, 21', 38, 39及び配線層18, 20, 22B, 22C, 22E, 22E'は、例えば、アルミニウム、銅などの金属膜から構成される。また、TMR素子31B, 31Dは、例えば、図4及び図5に示すような縦積みTMR素子でもよいし、図34に示すような通常のTMR素子でもよい。

【0206】

TMR素子31Bは、配線層（ローカルインターフェクト配線）22Cと第1層目の共通ビット線23Aの上面との間に配置され、TMR素子31Dは、配線層（ローカルインターフェクト配線）22E'と第2層目の共通ビット線23Bの上面との間に配置されている。

【0207】

TMR素子31Bの直上には、電流駆動線24Bが配置される。電流駆動線24Bは、共通ビット線23A, 23Bが延びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に延びている。TMR素子31Bには、共通ビット線23Aに流れる電流及び電流駆動線24Bに流れる電流により生成される磁界によりデータが書き込まれる。

【0208】

TMR素子31Dの直上には、電流駆動線24Cが配置される。電流駆動線24Cは、共通ビット線23A, 23Bが延びる方向（カラム方向）に対して垂直となる方向（ロウ方向）に延びている。TMR素子31Dには、共通ビット線23Bに流れる電流及び電流駆動線24Cに流れる電流により生成される磁界によりデータが書き込まれる。

【0209】

なお、本例では、TMR素子31A, 31B, 31C, 31Dは、半導体基板11の上方から見た場合に、互いにオーバーラップ（完全一致）しているが、例

えば、部分的にオーバーラップしていても、また、全くオーバーラップしないような位置に設けててもよい。

【0210】

このように、本実施の形態に関わるデバイス構造では、1カラム内に複数の共通ビット線23A, 23Bを配置し、かつ、各共通ビット線23A, 23Bの上下にTMR素子を配置している。

【0211】

この場合、例えば、共通ビット線23A, 23Bの下面側に配置されるTMR素子31A, 31Cに関しては、1つのソース線を共有する複数のMOSトランジスタのうちの1つに電気的に接続し、さらに、第1層目の共通ビット線23Aとプラグ21'が接触しないように、配線（ローカルインターフェクト配線）22A, 22Dのパターンを工夫している。

【0212】

また、例えば、共通ビット線23A, 23Bの上面側に配置されるTMR素子31B, 31Dに関しては、1つのソース線を共有する複数のMOSトランジスタのうちの他の1つに電気的に接続し、さらに、第1層目の共通ビット線23Aとプラグ21'が接触しないように、かつ、第2層目の共通ビット線23Bとプラグ39が接触しないように、配線（ローカルインターフェクト配線）22B, 22C, 22E, 22E'のパターンを工夫している。

【0213】

また、電流駆動線24Aは、ソース線15の直上及びTMR素子31Aの直下に配置され、電流駆動線24Bは、TMR素子31B, 31Cの間に配置され、電流駆動線24Cは、TMR素子31Dの直上に配置される。即ち、電流駆動線24Aは、配線20と同じレベル（配線層）に配置でき、さらに、電流駆動線24Bは、2つのTMR素子31B, 31Cのデータ書き込みのために使用できるため、本例では、各配線を無駄なスペースなしに配置することができ、メモリセル面積の縮小に貢献できる。

【0214】

なお、電流駆動線24A, 24B, 24Cは、TMR素子31A, 31B, 3

1 C, 31 Dにできるだけ近い位置に配置することが望ましい。また、本例では、電流駆動線 24 A, 24 B, 24 Cは、TMR 素子 31 A, 31 B, 31 C, 31 Dの直下又は直上に配置されているが、例えば、電流駆動線 24 A, 24 B, 24 Cの位置とTMR 素子 31 A, 31 B, 31 C, 31 Dの位置が多少ずれても全く問題はない。

【0215】

また、複数の共通ビット線 23 A, 23 Bは、例えば、メモリセルアレイ上又はその端部において互いに電気的に接続されていてもよいし、又は、電気的に分離されていてもよい。

【0216】

また、図29の平面図においては、配線 22 A, 22 C, 22 D, 22 E' のパターンやプラグ 21, 21', 38, 39の位置を分かり易くするため、ビット線 23 A, 23 Bの一部を省略している。同図において、配線 22 A, 22 C, 22 D, 22 E' は、ハッチングで示している。

【0217】

本願の第3実施の形態に関する磁気ランダムアクセスメモリにおいても、1つのメモリセルに3値以上（又は複数ビット）のデータを記憶できると共に、1カラム内に複数の共通ビット線を配置したり、共通ビット線の上下にTMR素子（1層TMR構造又は複数層の縦積みTMR構造のいずれでもよい）を配置したり、互いに隣接する2つのメモリセルでソース線を共有したりすることで、メモリセルの面積を縮小することができる。

【0218】

ところで、本実施の形態に関するデバイス構造においては、書き込み動作は、共通ビット線 23 A, 23 B及び電流駆動線 24 A, 24 B, 24 Cに流す電流を制御することにより、TMR 素子 31 A, 31 B, 31 C, 31 Dごとに、個別に行うことができる。

【0219】

しかし、読み出し動作においては、例えば、1つのリードワード線 12が選択され、そのリードワード線 12に接続される1つのMOSトランジスタがオン状

態となったとき、そのMOSトランジスタと複数の共通ビット線23A, 23Bとの間に接続される複数のTMR素子に電流が流れる。但し、複数の共通ビット線23A, 23Bは、読み出し動作時に互いに電気的に接続されているものとする。

【0220】

この場合、読み出し動作時におけるメモリセル及び検出回路の等価回路は、図31に示すようになる。

【0221】

ここで、図29及び図30に示すように、1つのメモリセルは、1つのMOSトランジスタと2つのTMR素子により構成されるものとする。また、各TMR素子は、2つのTMR層からなるいわゆる2層縦積みTMR構造を有しているものとする。第1層目の共通ビット線23Aに接続されるTMR素子（2つのTMR層）の抵抗値は、 R_{TMR1L} , R_{TMR2L} とし、第2層目の共通ビット線23Bに接続されるTMR素子（2つのTMR層）の抵抗値は、 R_{TMR1U} , R_{TMR2U} とする。

【0222】

図31において、“・・・”は、共通ビット線が3つ以上（3層以上）になつた場合を示している。本例では、共通ビット線23A, 23Bは、2つであるため、同図では、第1層と第2層のみを示している。

【0223】

本例では、電源Vと検出抵抗 V_o の間に複数のTMR素子が並列に接続されるため、各TMR素子に記憶されたデータを読み出すためには、上述の第1及び第2実施の形態で適用される読み出し動作原理をそのまま採用することはできない。即ち、第1層目の共通ビット線23Aに接続されるTMR素子TMR1のデータか、又は、第2層目の共通ビット線23Bに接続されるTMR素子TMR2のデータかを判別できない場合があると共に、各検出電位 V_o の差がまちまちとなるためである。

【0224】

従つて、本例に特有の読み出し動作原理を適用する必要がある。

【0225】

その読み出し動作原理は、以下の通りである。

【0226】

まず、1つのメモリセルは、2つのTMR素子を含んでいるため、その1つのメモリセルには、最大で、16値のデータ、即ち、 $(R_{TMR1L}, R_{TMR2L}, R_{TMR1U}, R_{TMR2U}) = (0, 0, 0, 0), (0, 0, 0, 1), (0, 0, 1, 0), (0, 0, 1, 1), (0, 1, 0, 0), (0, 1, 0, 1), (0, 1, 1, 0), (0, 1, 1, 1), (1, 0, 0, 0), (1, 0, 0, 1), (1, 0, 1, 0), (1, 0, 1, 1), (1, 1, 0, 0), (1, 1, 0, 1), (1, 1, 1, 0), (1, 1, 1, 1)$ を記憶できる。

【0227】

そして、読み出し動作は、次の2段階により行う。

【0228】

まず、選択されたメモリセルに対して、リードワード線12を、“H”レベルにし、このときの検出電圧 V_o の値を測定する。

【0229】

例えば、 R_{TMR1L}, R_{TMR1U} の高抵抗値(=“0”)を“4”、低抵抗値(=“1”)を“2”とし、 R_{TMR2L}, R_{TMR2U} の高抵抗値を“2”、低抵抗値を“1”とし、検出抵抗 R_s の抵抗値を4とすると、メモリセルに、 $(R_{TMR1L}, R_{TMR2L}, R_{TMR1U}, R_{TMR2U}) = (1, 0, 1, 0)$ が記憶されている場合、2つのTMR素子TMR L, TMR Uの合成抵抗値は、“2”となり、検出電圧 V_o は、 $2V/3$ (=約0.67V)となる。

【0230】

次に、データ読み出しの対象となる1つのTMR素子内の1つのTMR層(選択されたTMR層)に対して、データ“0”又はデータ“1”を書き込む。

【0231】

例えば、選択されたTMR層が、第1層目の共通ビット線23Aに接続されるTMR素子TMR L内のTMR層TMR 2Lであって、これに、データ“1”を

書き込む場合を考えると、書き込み後、メモリセル内のデータは、 $(R_{TMR1L}, R_{TMR2L}, R_{TMR1U}, R_{TMR2U}) = (1, 1, 1, 0)$ となる。

【0232】

この後、選択されたメモリセルに対して、リードワード線12を、“H”レベルにし、このときの検出電圧 V_o の値を測定する。

【0233】

メモリセルのデータは、 $(R_{TMR1L}, R_{TMR2L}, R_{TMR1U}, R_{TMR2U}) = (1, 1, 1, 0)$ であるため、2つのTMR素子TMRL, TMRUの合成抵抗値は、“12/7”となり、検出電圧 V_o は、 $7V/10$ (=約0.7V) となる。つまり、TMR層TMR2Lに“1”データを書き込む前と後の検出電圧 V_o の値が変化したので、結局、TMR層TMR2Lに記憶されていたデータは、書き込みデータ“1”とは逆のデータ“0”であったことが分かる。

【0234】

同様にして、全てのTMR層TMR1L, TMR1U, TMR2Uのデータを読み出すことができる。

【0235】

なお、上述の例と同じ条件で、選択されたTMR層TMR2Lにデータ“0”を書き込む場合には、その書き込みの前後において検出電圧 V_o の変化はないため、そのTMR層TMR2Lのデータは、書き込みデータと同じ値、即ち、“0”であることが分かる。

【0236】

このように、本例の読み出し動作原理では、選択されたTMR層に所定のデータを書き込み、その書き込みの前後において検出電圧 V_o を測定し、検出電圧 V_o に変化がなければ、そのTMR層のデータは、所定のデータ（書き込みデータ）と同じであり、逆に、検出電圧 V_o に変化があれば、そのTMR層のデータは、所定のデータ（書き込みデータ）とは逆のデータである、と判断することができる。

【0237】

なお、本例の読み出し動作原理では、検出電圧V_Oの変化があった場合、選択されたTMR層のデータが破壊されていることになるため、少なくともこの場合には、選択されたTMR層のデータを読み出した後に、正しいデータを再書き込みする必要がある。

【0238】

[第3実施の形態]

図3'2は、本発明の第3実施の形態に関する磁気ランダムアクセスメモリのシステム図を示している。また、図3'3は、図3'2のシフトレジスタの一例を示している。

【0239】

本発明の磁気ランダムアクセスメモリでは、メモリセル内のTMR素子に3値(又は2ビット)以上のデータを記憶させるために、TMR素子を複数のTMR層(例えば、縦積みTMR構造)から構成している。

【0240】

ここで、本発明の磁気ランダムアクセスメモリにおいては、例えば、2ビットのデータを選択されたメモリセルに書き込む場合に、書き込みデータ(2ビット)のうちの下位ビットを記憶させるTMR層と、その上位ビットを記憶させるTMR層を予め決めておかなければならぬ。

【0241】

そこで、書き込み動作時、データ入出力端子から入力された2ビットデータは、一時的に、シフトレジスタに確保される。そして、2ビットデータがシフトレジスタに保持されている間に、書き込みデータのうちの下位ビットを記憶するTMR層と上位ビットを記憶させるTMR層を決定する。

【0242】

書き込みデータの各ビットを記憶するTMR層が決定したら、書き込みデータの上位ビット及び下位ビットを、順次、TMR素子に記憶する。

【0243】

例えば、2つのTMR層が図3'8に示すようなアステロイド曲線を有する場合

、まず、シフトレジスタから所定の1ビットデータを出力し、アドレス信号によって選択されたメモリセル内のTMR層TMR 1に、そのデータを書き込む。この時、選択されたメモリセル内のTMR層TMR 2にも、そのデータが書き込まれてしまう。

【0244】

この後、シフトレジスタから残りの1ビットデータを出力し、アドレス信号によって選択されたメモリセル内のTMR層TMR 2に、そのデータを書き込む。

【0245】

このようなシステムによれば、TMR素子が2つ以上のTMR層から構成され、1つのメモリセルに、3値以上のデータ（又は複数ビットデータ）が記憶されるような場合でも、シフトレジスタにより書き込みデータを一時記憶できるため、各TMR層に、順次、1ビットデータを記憶できる。

【0246】

また、読み出し動作時においても、TMR素子内の各TMR層から読み出されたデータを一時的にシフトレジスタに保持し、この後、メモリセルから読み出された3値以上のデータ（又は複数ビットデータ）を、シリアルに、又は、パラレルに、メモリの外部に出力するようにしてもよい。

【0247】

なお、読み出しに関しては、読み出しデータをシフトレジスタに一時記憶させることなく、直接に、メモリの外部に出力してもよい。

【0248】

また、本例では、シフトレジスタは、図33に示すように、直列接続された複数のフリップフロップ回路から構成されるが、これ以外の構成からなるシフトレジスタを用いてもよい。

【0249】

【発明の効果】

以上、説明したように、本発明の磁気ランダムアクセスメモリによれば、メモリセル内のTMR素子を複数のTMR層から構成することにより、メモリセルに3値以上（又は複数ビット）のデータを記憶させることができ。また、このよ

うなメモリを実現するためのデバイス構造についても、メモリセルの面積の縮小に都合がよく、メモリセルの高集積化を実現できる。さらに、新規な書き込み動作原理及び読み出し動作原理を採用することにより、十分なマージンを確保しつつ、特性の劣化なしに、書き込み／読み出し動作を行うことができる。

【図面の簡単な説明】

【図1】

TMR素子の一例を示す図。

【図2】

TMR素子の他の例を示す図。

【図3】

本発明のMRAMの一例を示す断面図。

【図4】

本発明のMRAMのTMR素子の一例を示す図。

【図5】

本発明のMRAMのTMR素子の他の例を示す図。

【図6】

円柱配線の円周方向磁界強度の半径依存性を示す図。

【図7】

電流磁界の位置依存性を示す図。

【図8】

TMR層のMR比と抵抗の接合面積依存性を示す図。

【図9】

2層縦積みTMR素子の等価回路を示す図。

【図10】

本発明のMRAMの主要部を示す回路図。

【図11】

図10のメモリの動作波形を示す図。

【図12】

図10のメモリの動作波形を示す図。

【図13】

本発明の第1実施の形態に関するMRAMを示す平面図。

【図14】

図13のXIV-XIV線に沿う断面図。

【図15】

図13及び図14のMRAMの製造方法の一工程を示す平面図。

【図16】

図15のXVI-XVI線に沿う断面図。

【図17】

図13及び図14のMRAMの製造方法の一工程を示す平面図。

【図18】

図17のXVII-XVII線に沿う断面図。

【図19】

図13及び図14のMRAMの製造方法の一工程を示す平面図。

【図20】

図19のXX-XX線に沿う断面図。

【図21】

図13及び図14のMRAMの製造方法の一工程を示す平面図。

【図22】

図21のXXII-XXII線に沿う断面図。

【図23】

図13及び図14のMRAMの製造方法の一工程を示す平面図。

【図24】

図23のXXIV-XXIV線に沿う断面図。

【図25】

図13及び図14のMRAMの製造方法の一工程を示す平面図。

【図26】

図25のXXVI-XXVI線に沿う断面図。

【図27】

本発明の第2実施の形態に関するMRAMを示す平面図。

【図28】

図27のXXVII-XXVIII線に沿う断面図。

【図29】

本発明の第3実施の形態に関するMRAMを示す平面図。

【図30】

図29のXXX-XXX線に沿う断面図。

【図31】

図29及び図30のTMR構造の等価回路を示す図。

【図32】

本発明のMRAMの書き込み／読み出しシステムを示す図。

【図33】

図32のシフトレジスタの一例を示す図。

【図34】

従来の1層TMR素子を示す図。

【図35】

TMR素子の2つの状態を示す図。

【図36】

従来のMRAMの書き込み動作原理を示す図。

【図37】

TMR曲線を示す図。

【図38】

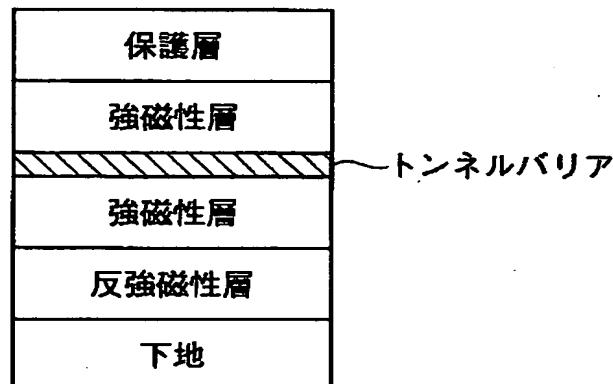
アステロイド曲線を示す図。

【符号の説明】

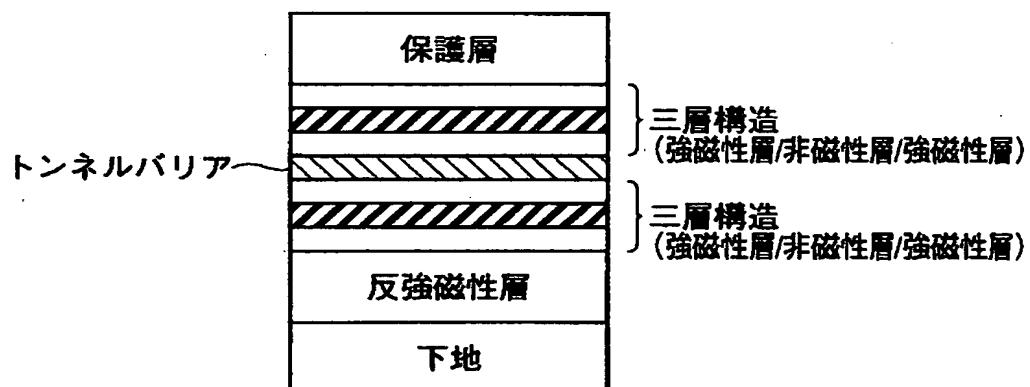
1 1	: 半導体基板、
1 2	: リードワード線、
1 3	: ソース拡散層、
1 4, 1 7	: ポリシリコンプラグ、
1 5	: ソース線、

1.6 : ドレイン拡散層、
18, 20 : 金属配線、
19, 21, 21', 38, 39 : 金属プラグ、
22, 22A, 22B, 22C, 22C', 22D, 22E, 22E', 22
F : ローカルインターボネット配線、
23, 23A, 23B : ビット線、
24, 24A, 24B, 24C : 電流駆動線、
25, 26, 27 : 電流駆動電源、
28 : 読み出し電源、
29 : 検出回路、
30 : 素子分離層、
31A, 31B, 31C, 31D : TMR素子、
TMR1, TMR2 : TMR層、
32, 33, 34, 35, 36, 37 : 絶縁層、
MC1 : メモリセル、
QN1, QN31-QN33, QN41-QN43 : NチャネルMOSトランジスタ。

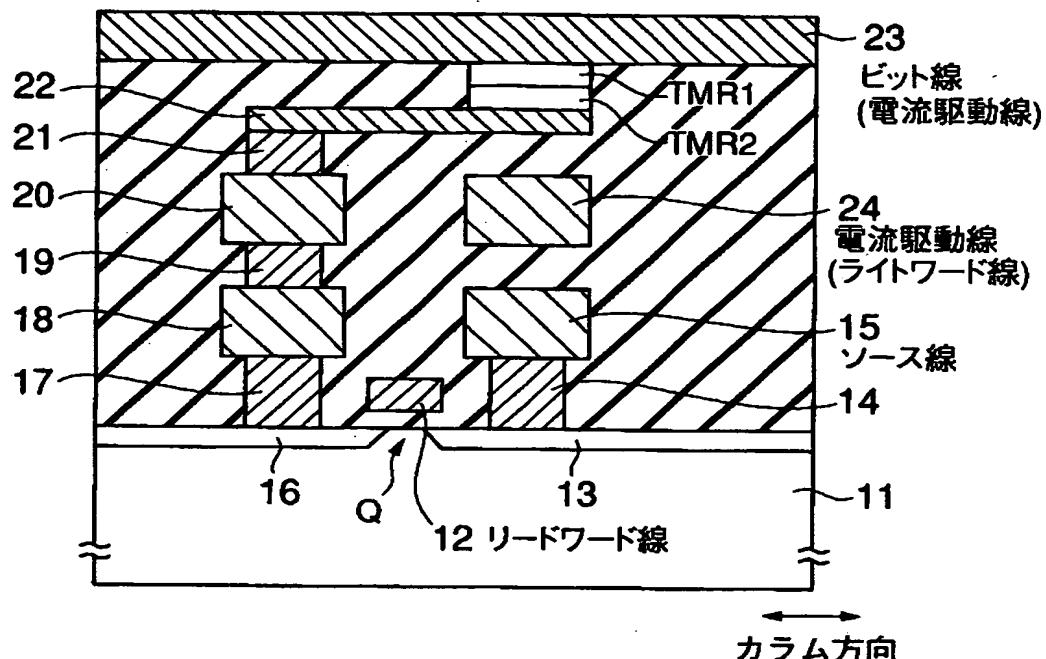
【書類名】 図面
【図1】



【図2】

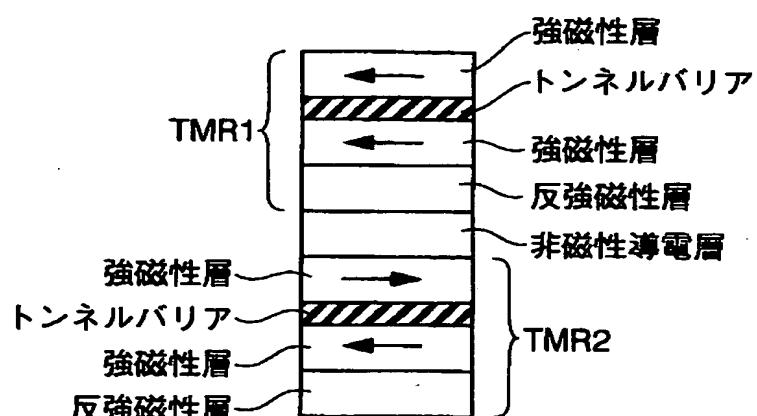


【図3】



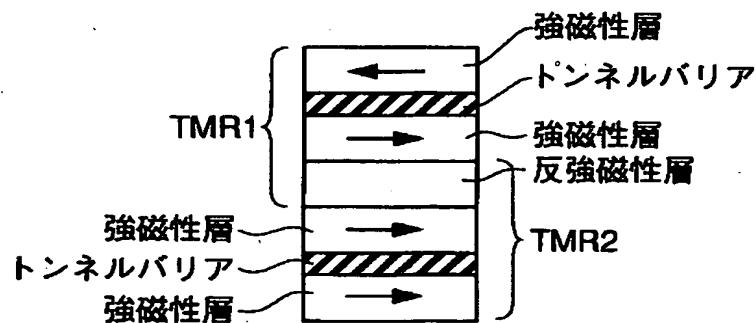
縦積みTMR構造のMRAMメモリセル

【図4】



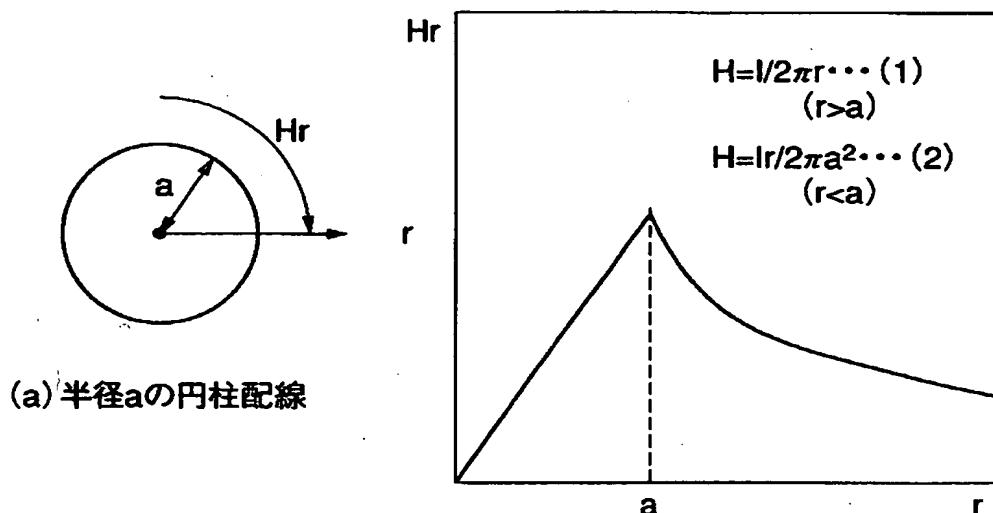
2層縦積みTMR構造(2セット型)

【図5】

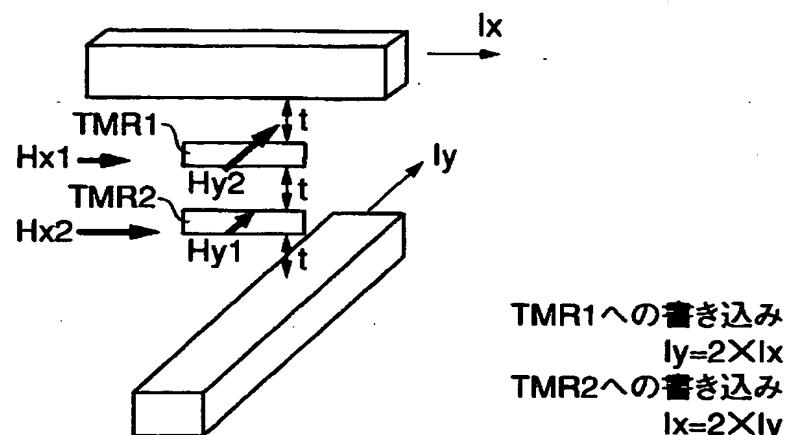


2層縦積みTMR構造(反強磁性共有型)

【図6】

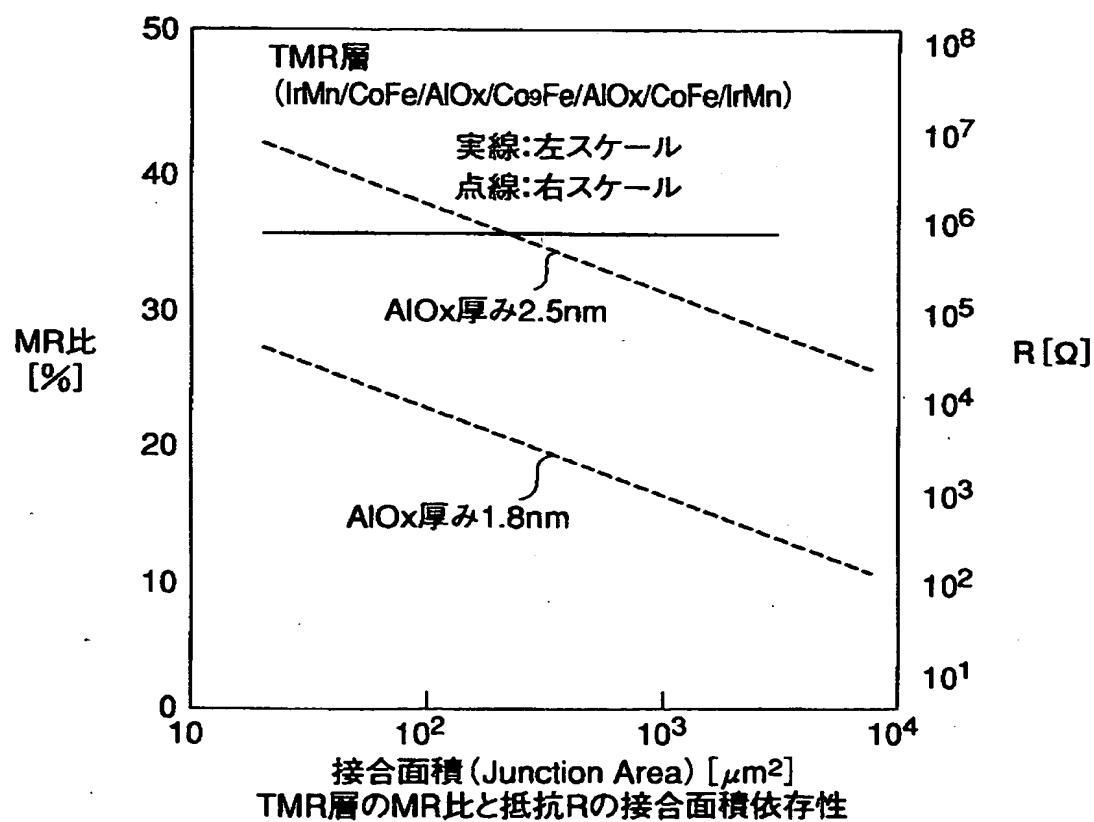


【図7】

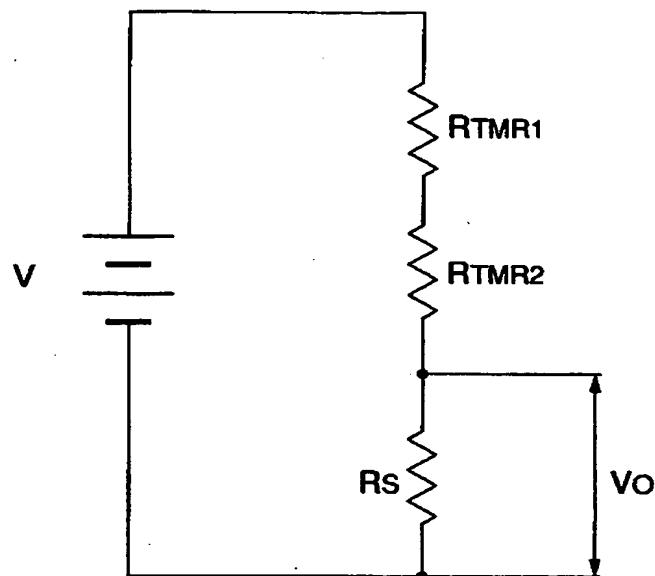


電流磁界の位置依存性

【図8】

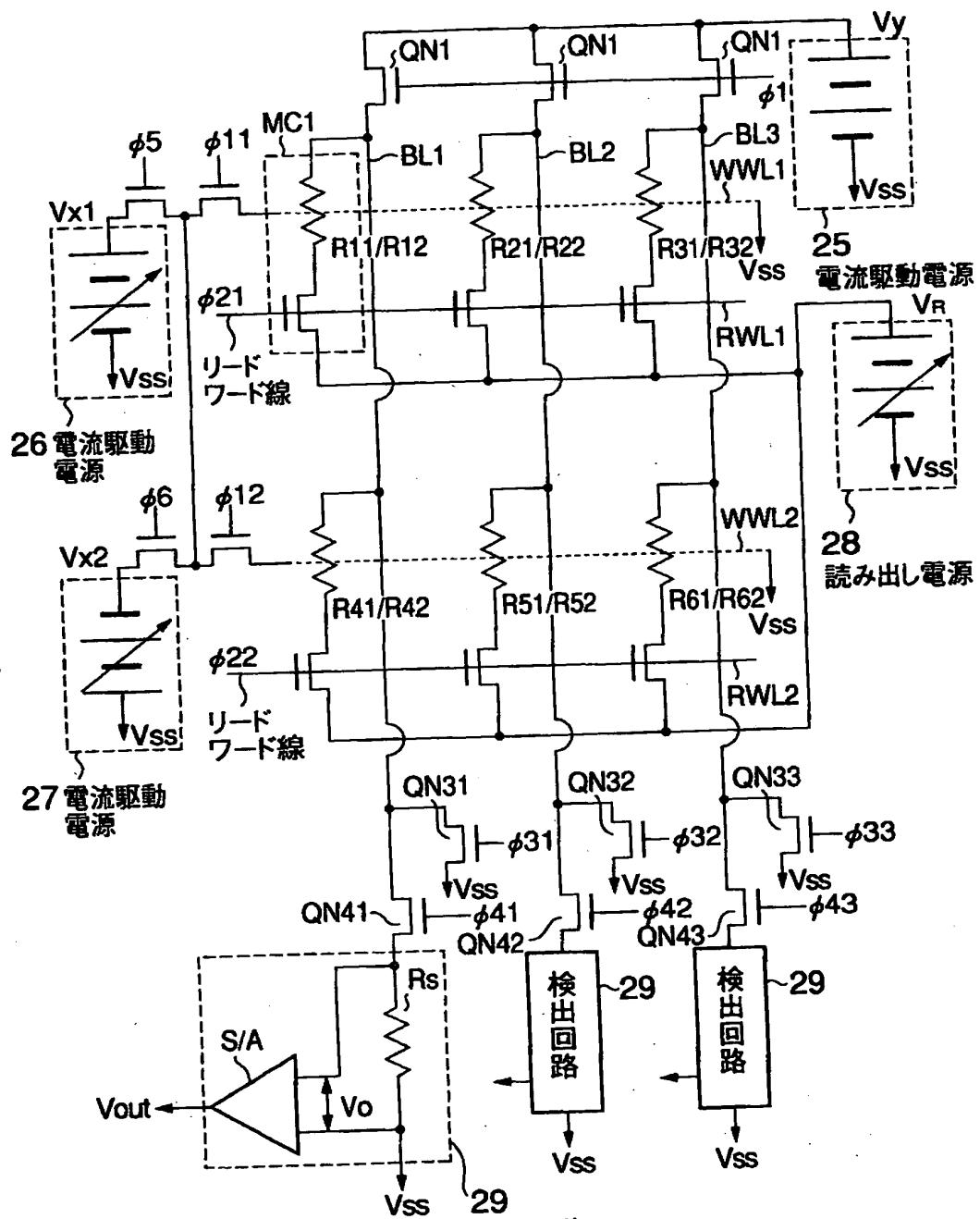


【図9】



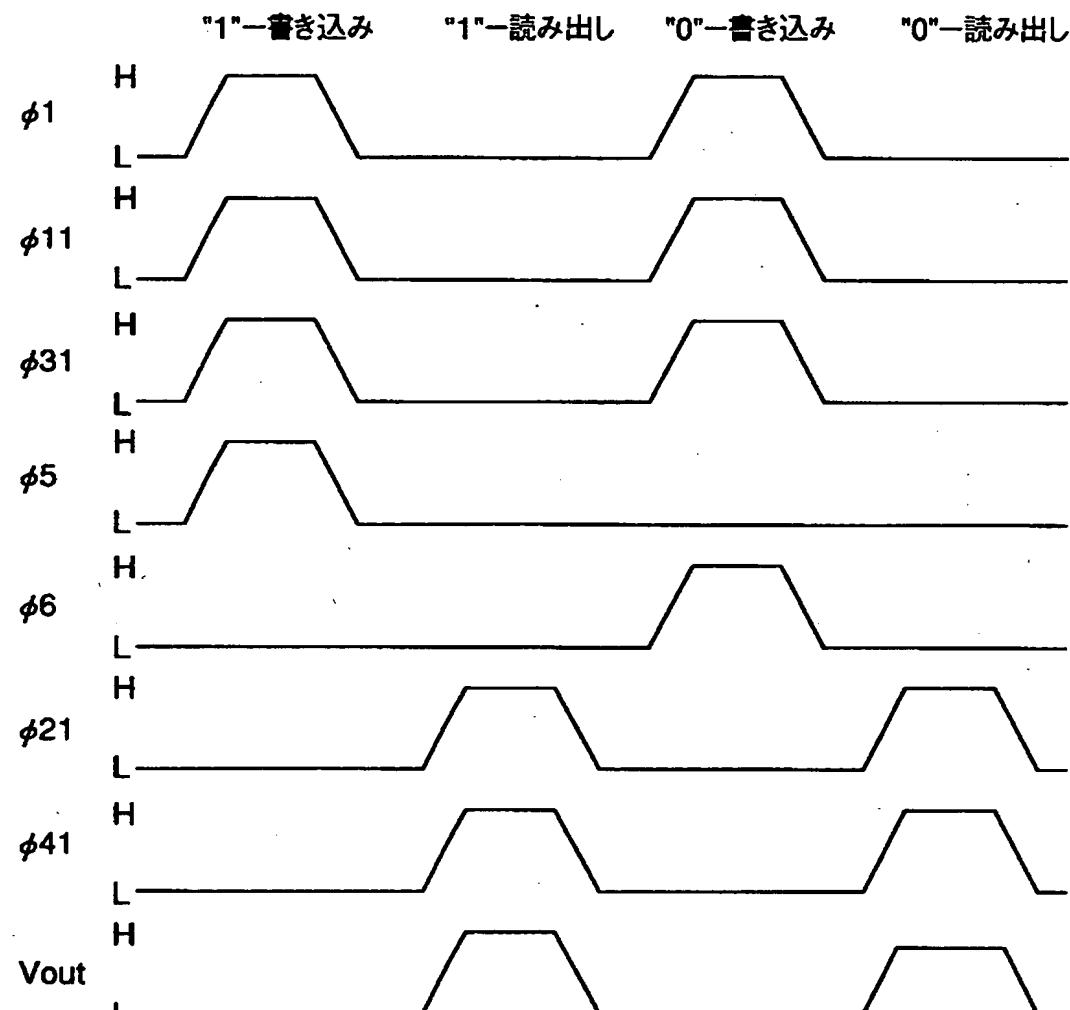
2層縦積みTMR構造セルの等価回路

【図10】



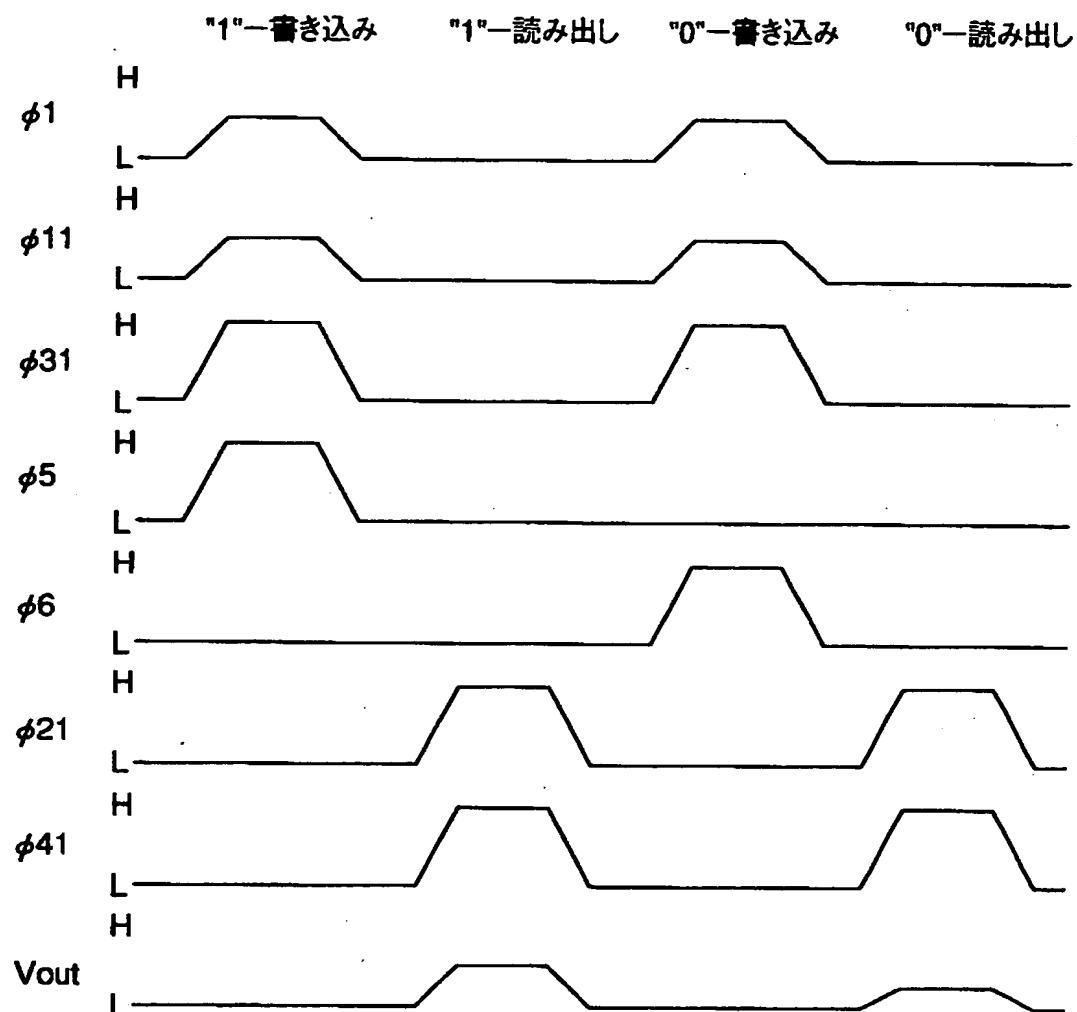
Ri1:TMR1の抵抗値
Ri2:TMR2の抵抗値
 $i=1,2\cdots 6$

【図11】



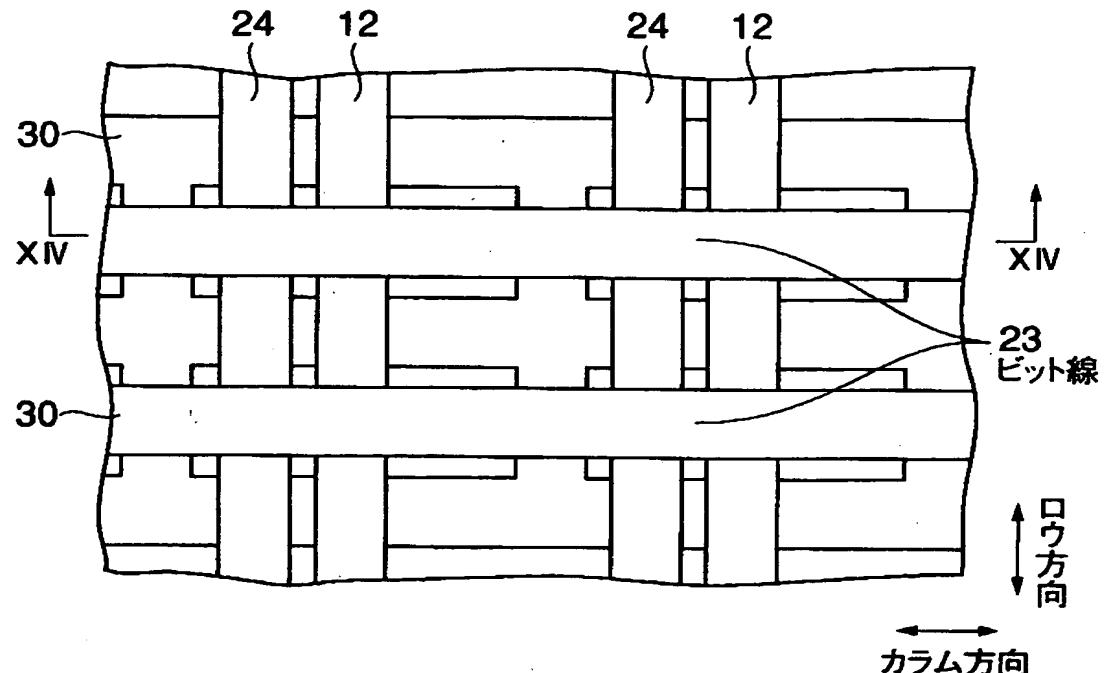
メモリセルMC1のTMR1(抵抗値R11)に対する書き込み動作波形

【図12】

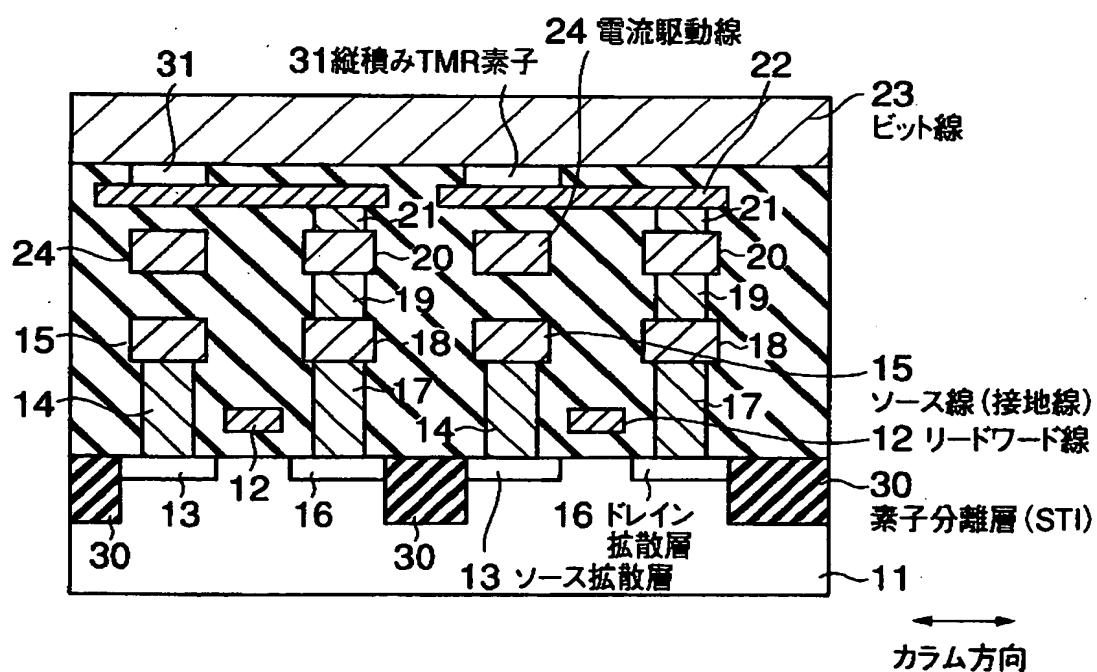


メモリセルMC1のTMR2(抵抗値R12)に対する書き込み動作波形

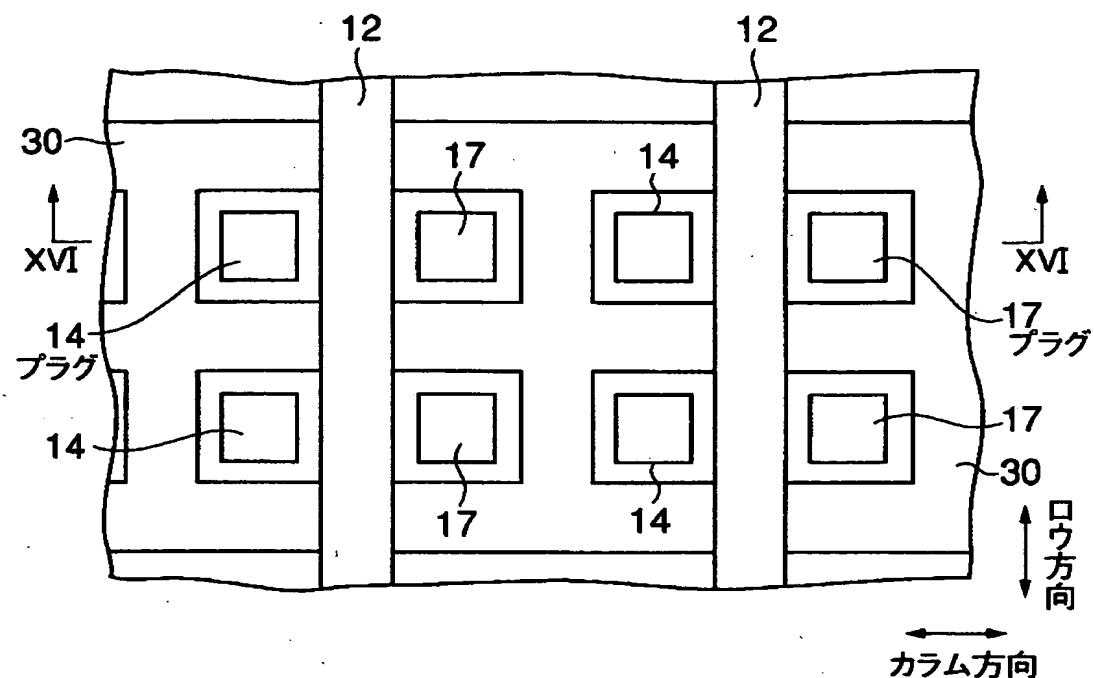
【図13】



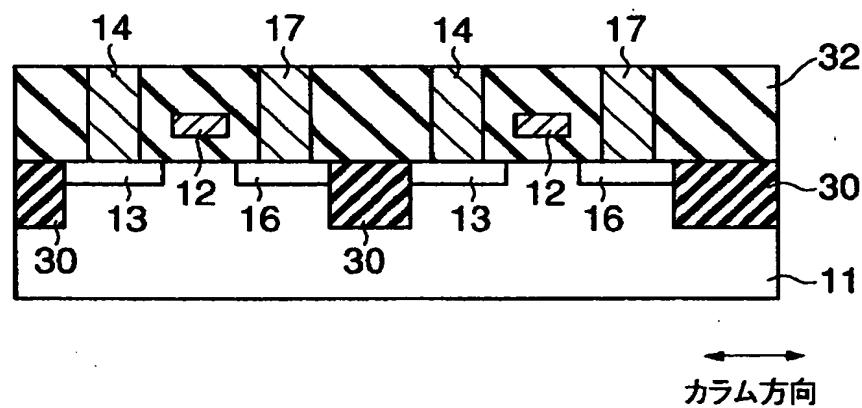
【図1.4】



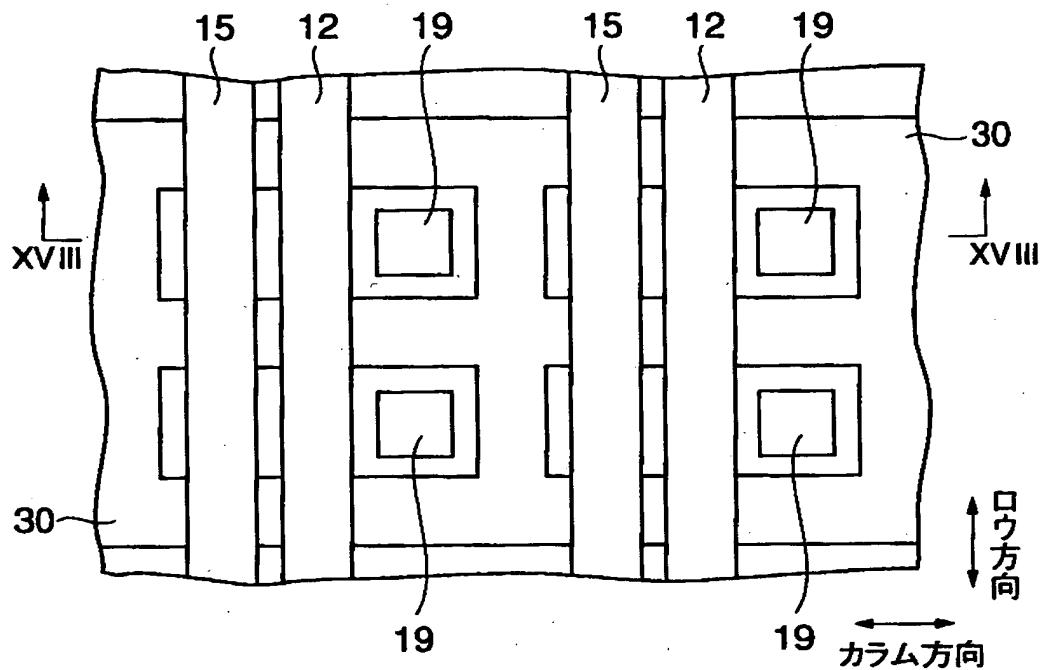
【図15】



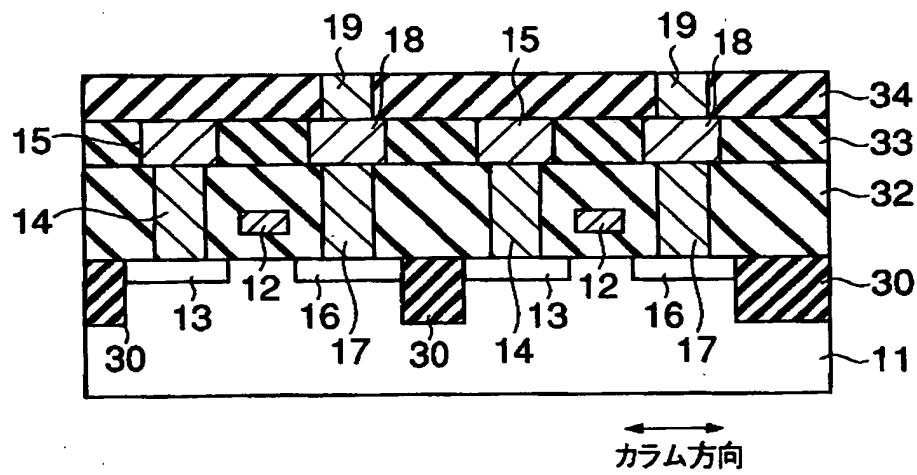
【図16】



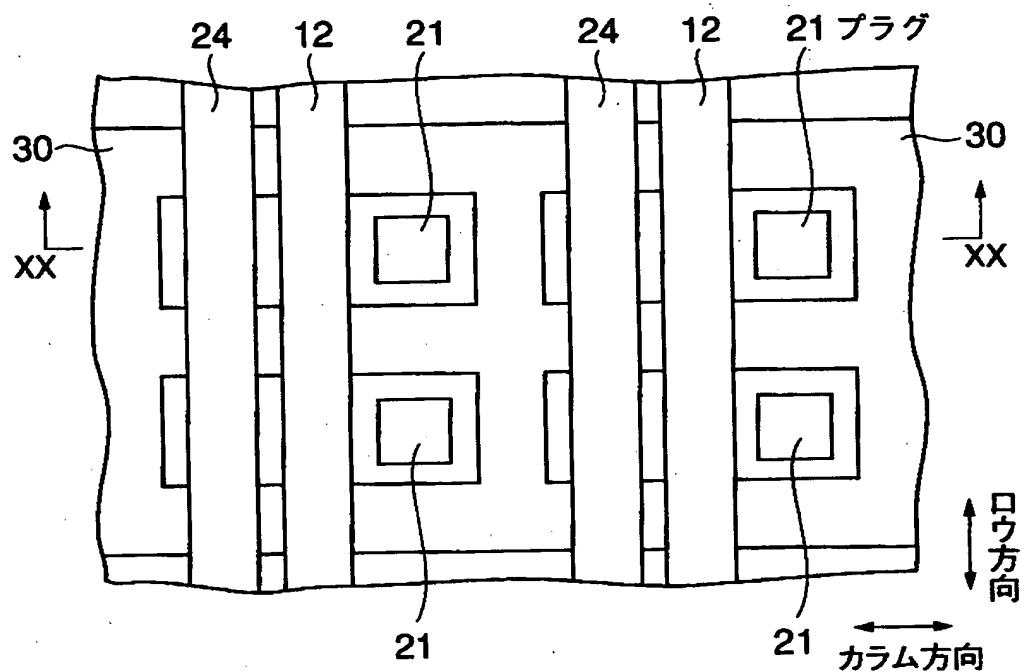
【図17】



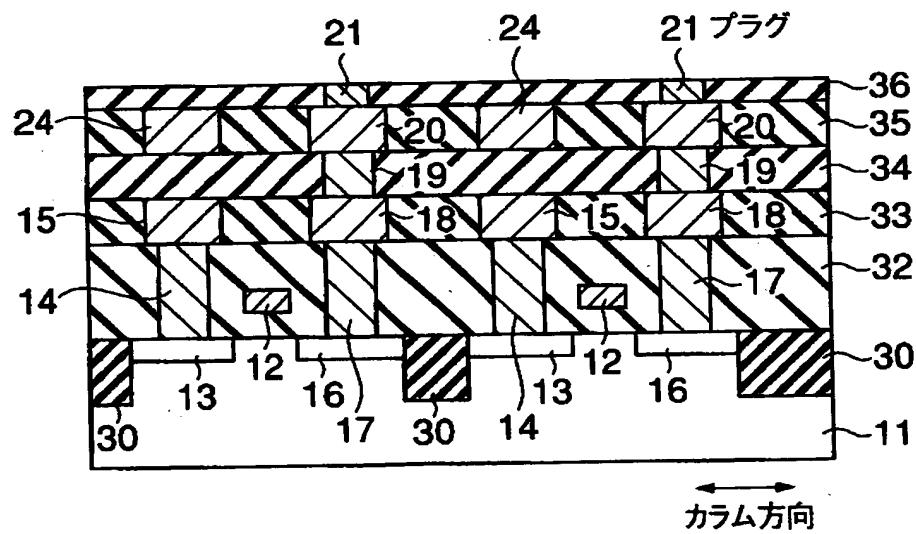
【図18】



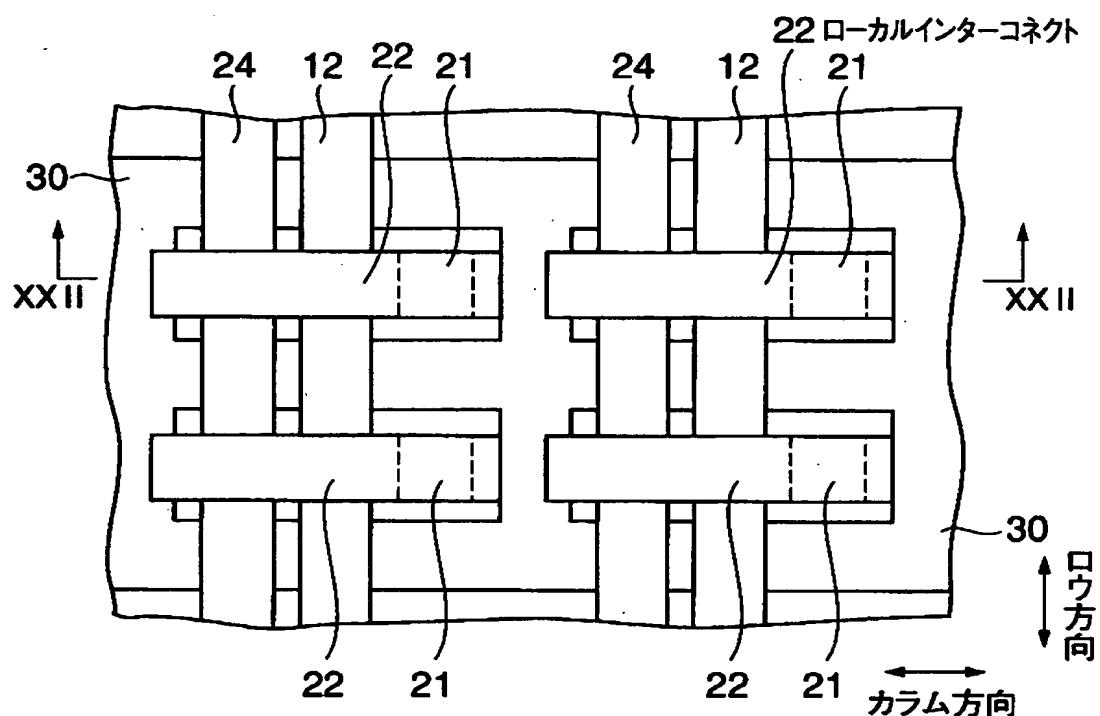
[図19]



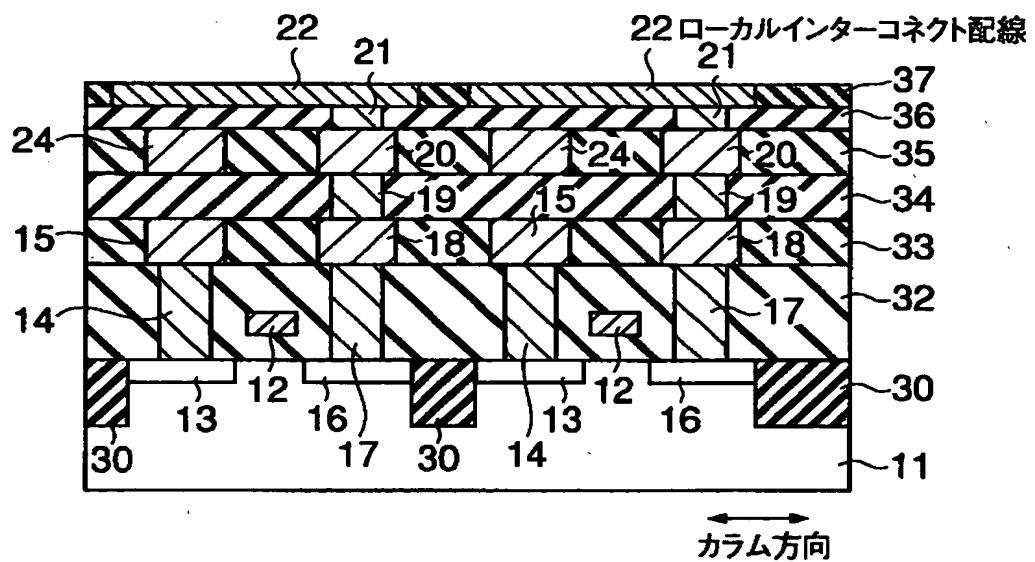
【図20】



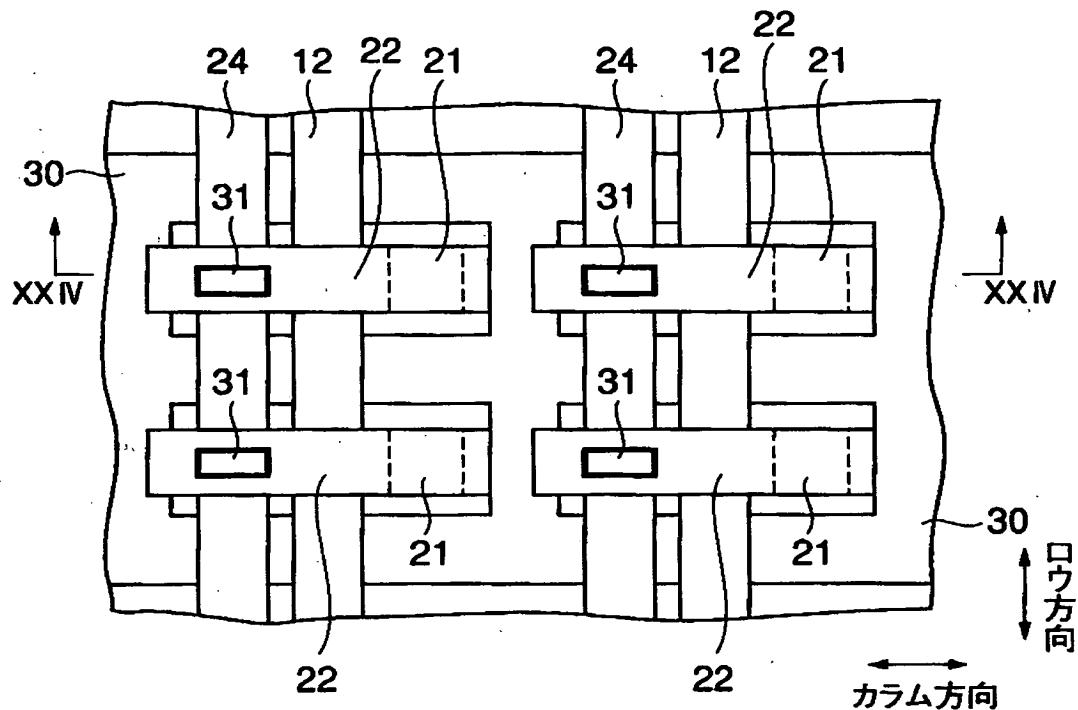
【図21】



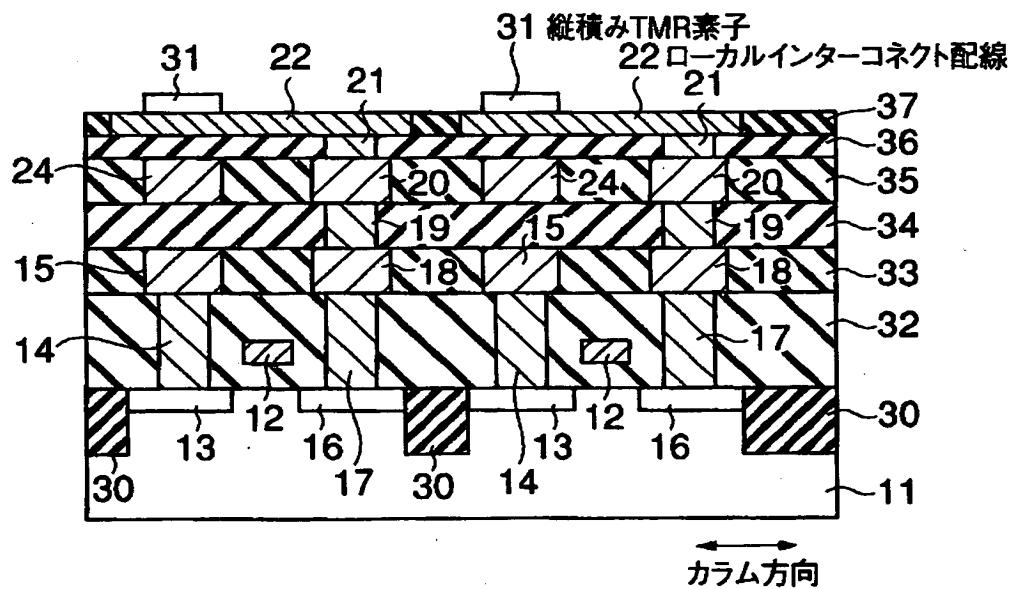
【図22】



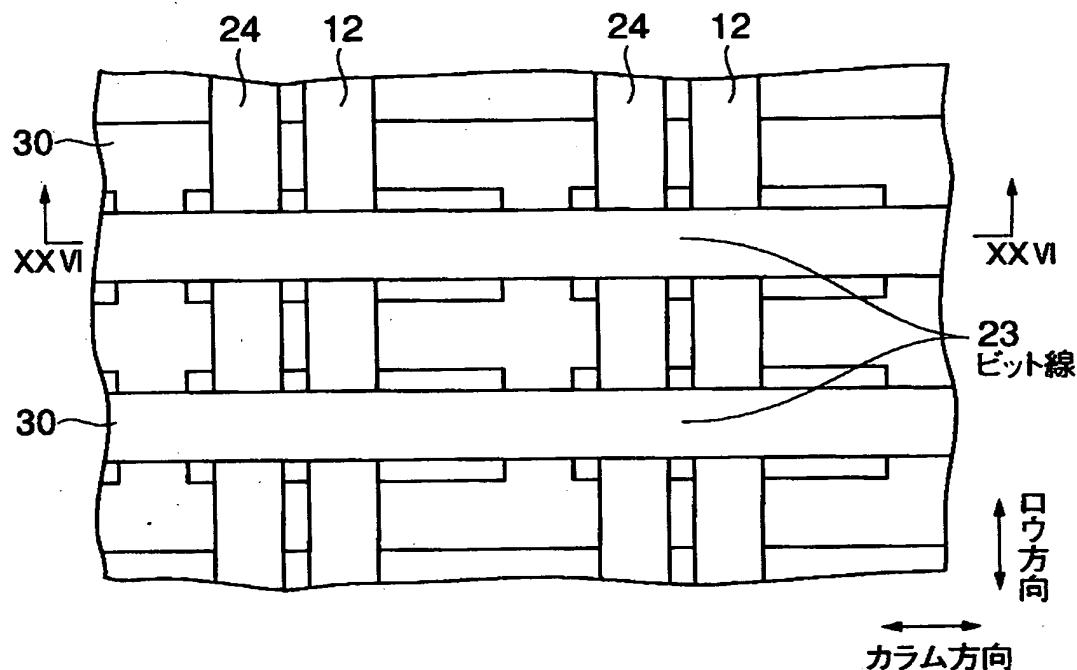
[図23]



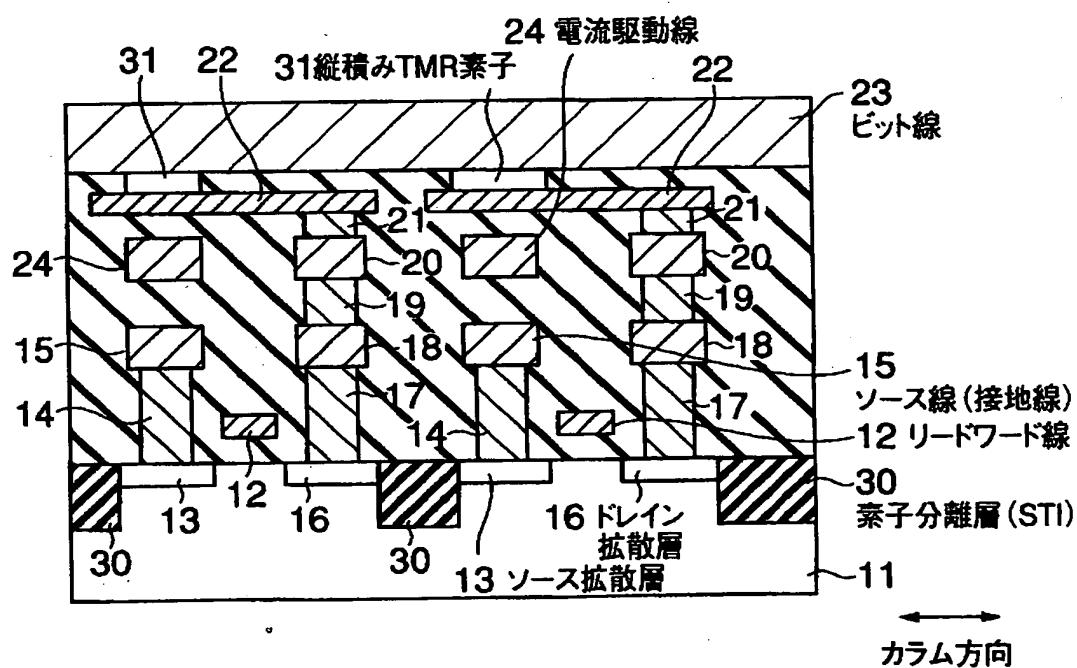
【図24】



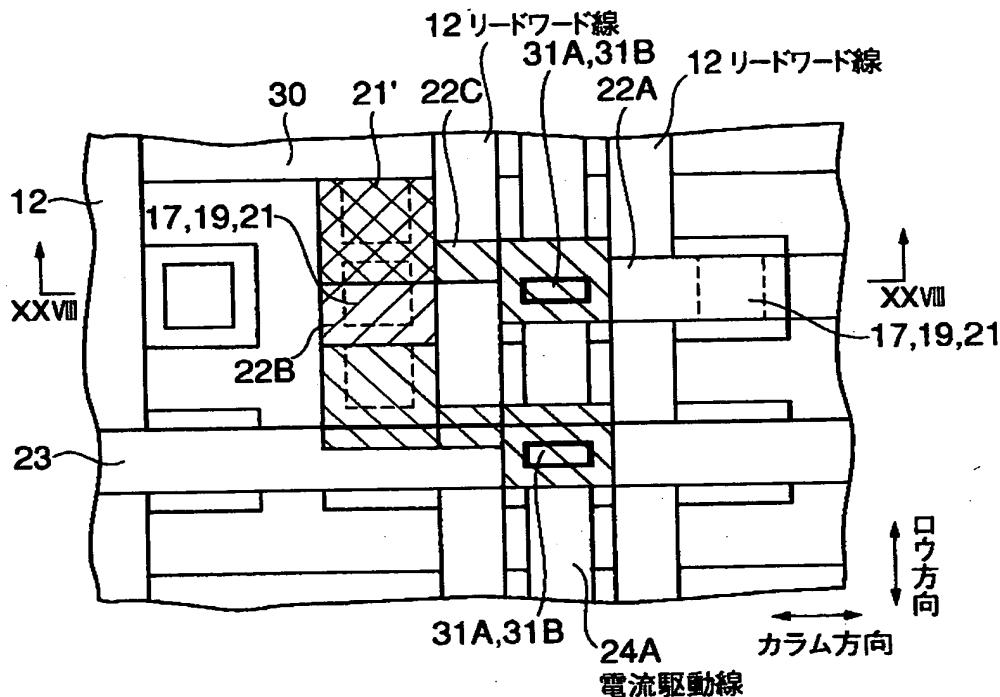
【図25】



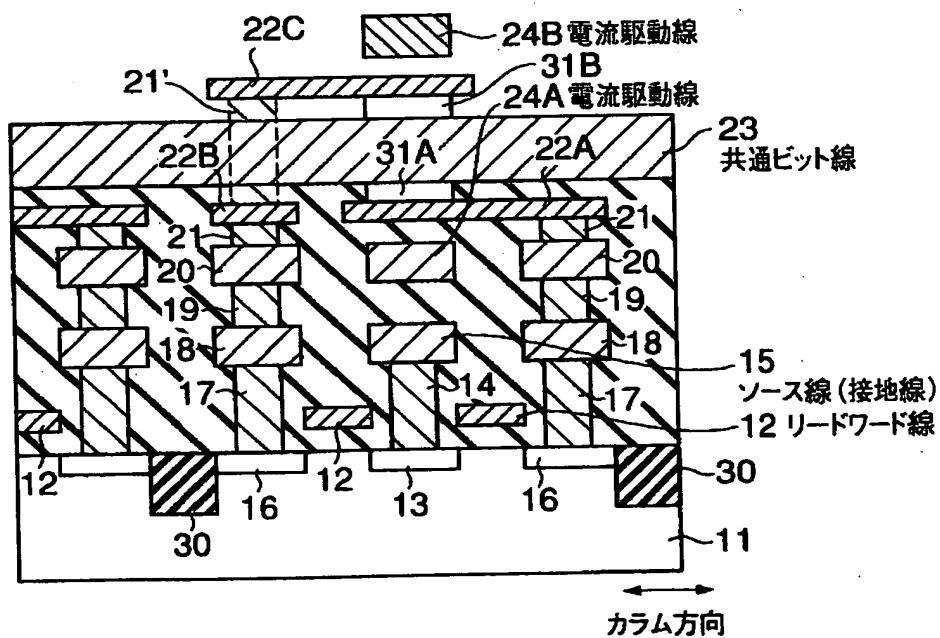
【図26】



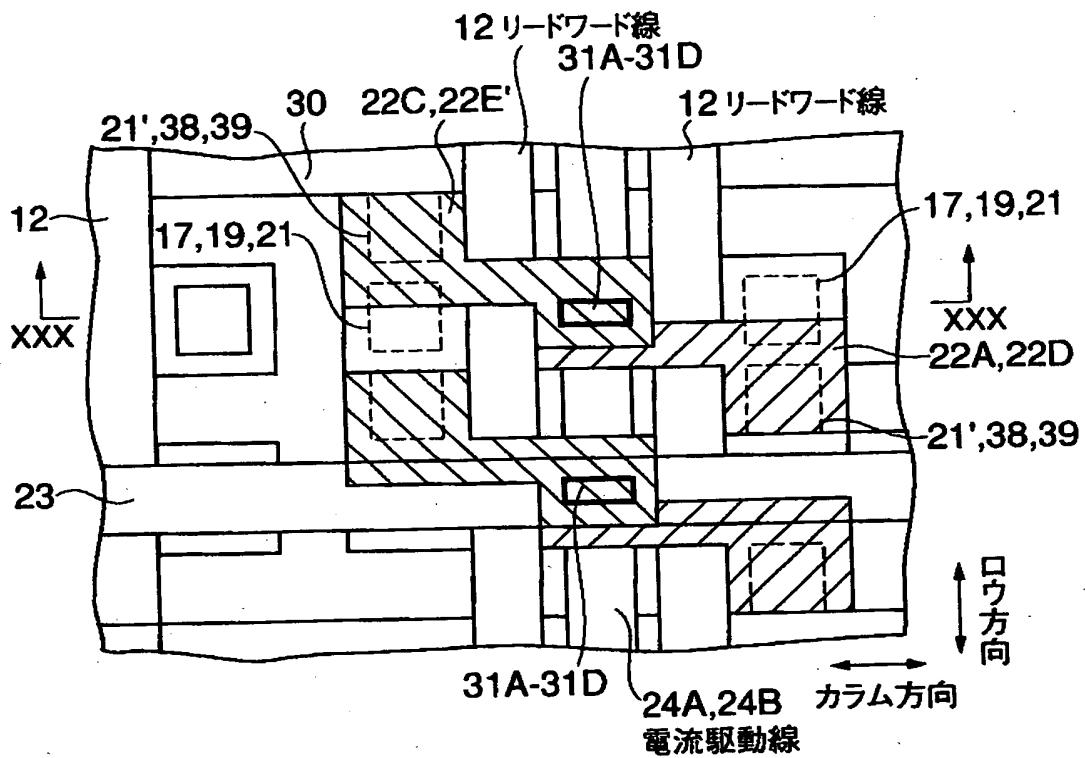
【図27】



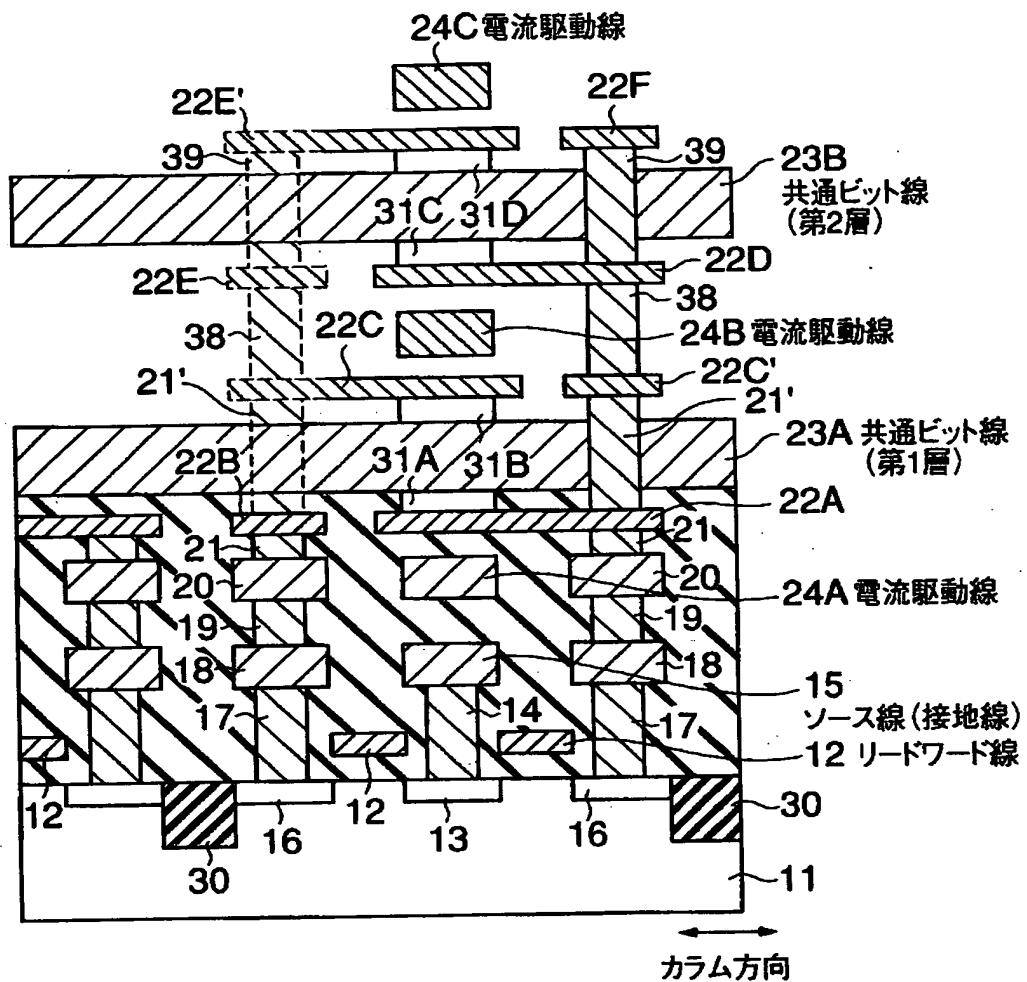
【図28】



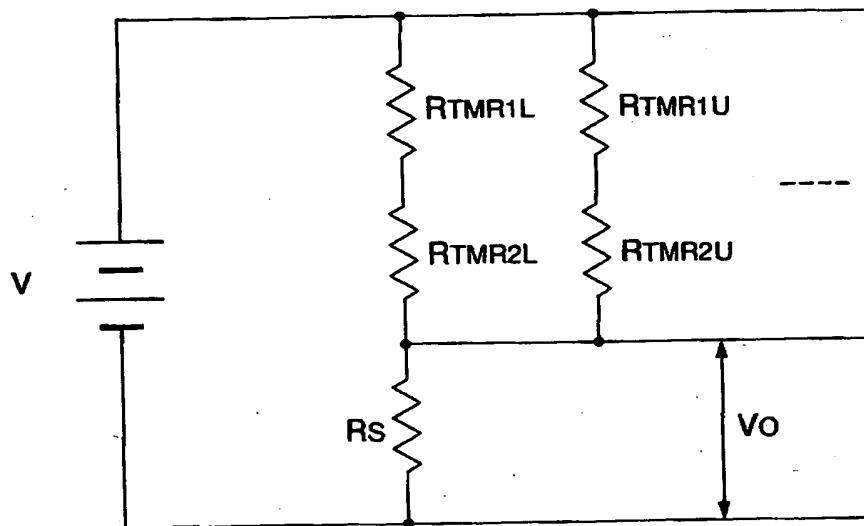
【図29】



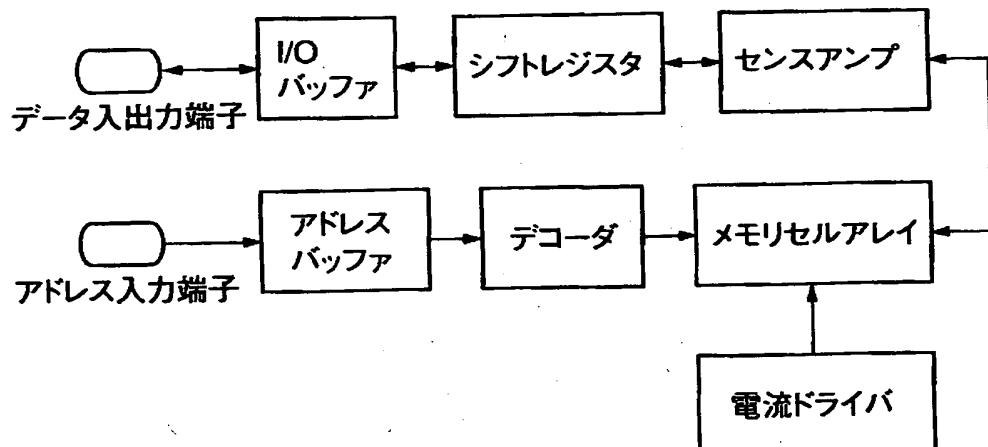
【図30】



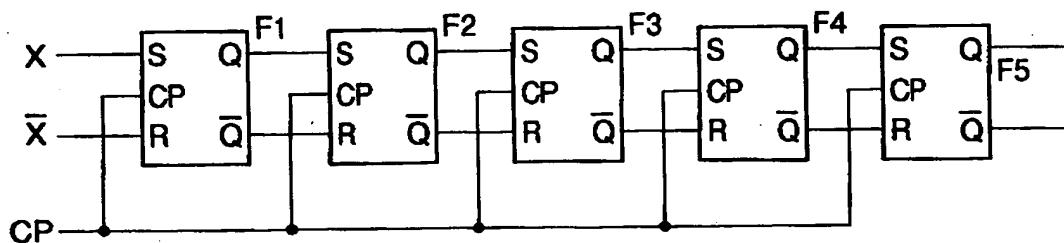
【図31】



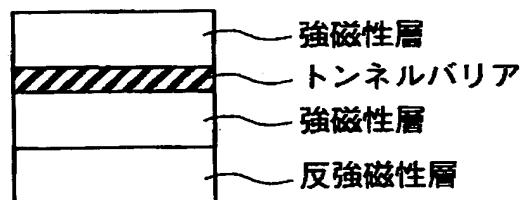
【図32】



【図33】

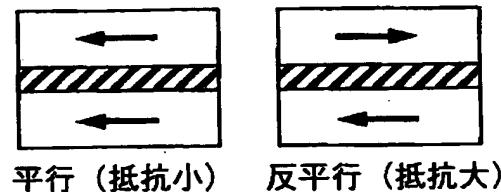


【図34】



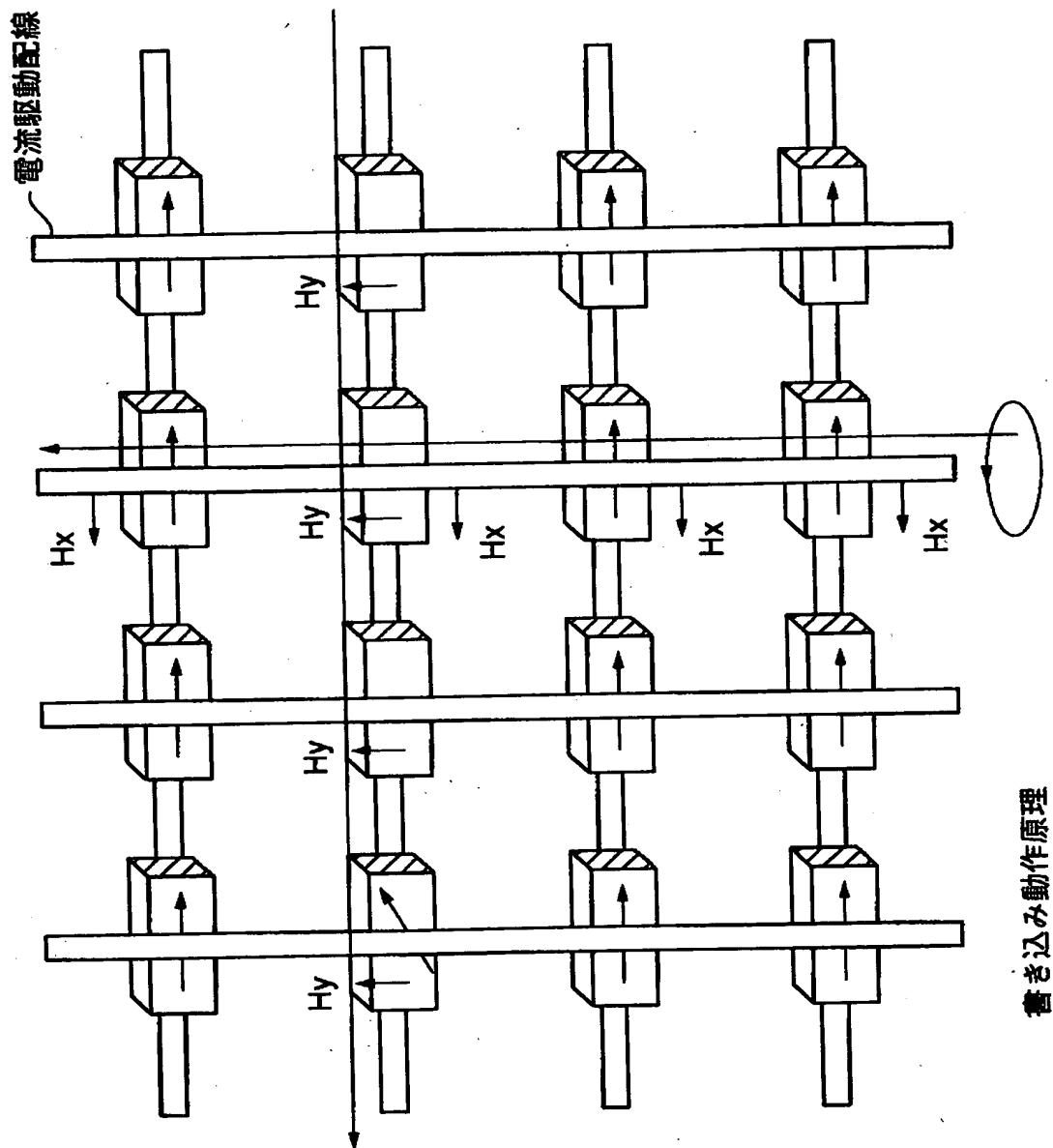
TMR(Tunnel Magneto-Resistance)素子

【図35】



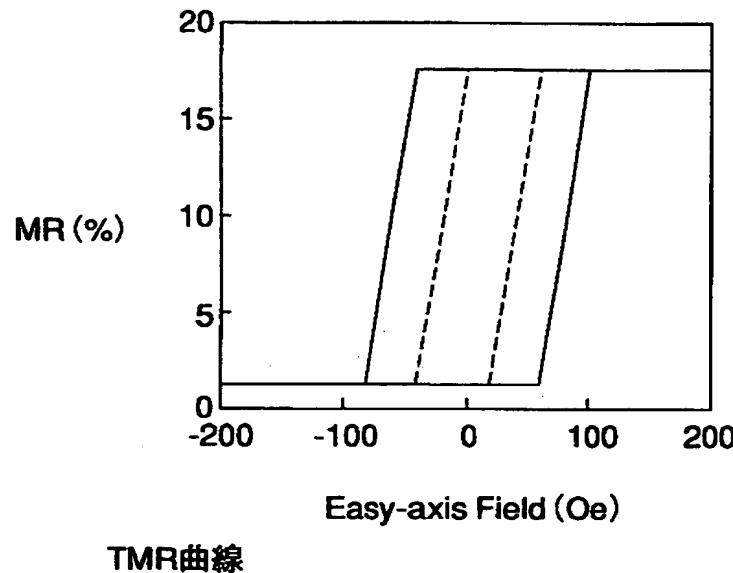
TMR効果

【図36】



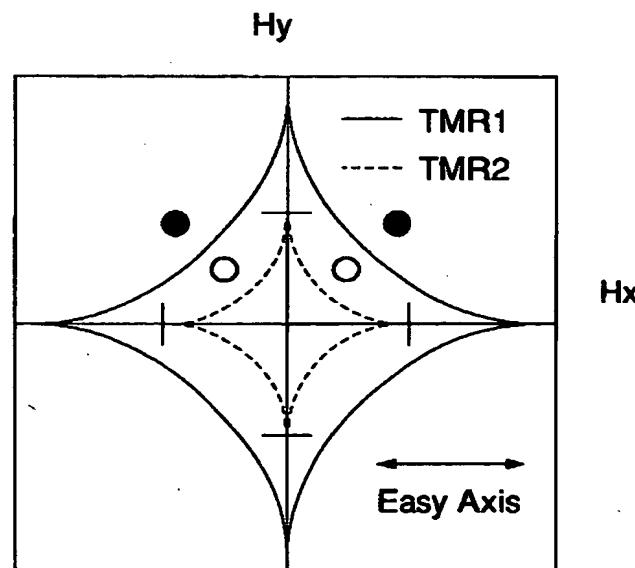
書き込み動作原理

【図37】



TMR曲線

【図38】



アステロイド曲線

【書類名】 要約書

【要約】

【課題】 1セルに多ビットを記憶させ、セル面積も小さくする。

【解決手段】 メモリセルは、TMR素子とMOSトランジスタから構成される。MOSトランジスタのソース拡散層13は、ソース線15に接続され、ドレン拡散層16は、ローカルインターロケクト配線22を経由して、TMR素子に接続される。TMR素子は、ローカルインターロケクト配線22とビット線23の間に挟まれている。TMR素子は、縦積みされた2つのTMR層TMR1, TMR2から構成される。各TMR層は、2つの状態（スピノの向きが平行又は反平行）を持つことができるため、TMR素子には、4値データを記憶できる。TMR素子の直下には、電流磁界を発生させる電流駆動線24が配置される。

【選択図】 図3

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月 22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝

2. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝